

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
H01L 23/60 (2006.01)



# [12] 发明专利说明书

专利号 ZL 03124177.8

[45] 授权公告日 2007 年 8 月 1 日

[11] 授权公告号 CN 1329987C

[22] 申请日 2003.4.29 [21] 申请号 03124177.8

[73] 专利权人 矽统科技股份有限公司  
地址 台湾省新竹科学工业园区

[72] 发明人 柯明道 庄哲豪 罗文裕

[56] 参考文献

JP2003-68870A 2003.3.7

审查员 刘静\_1

[74] 专利代理机构 上海专利商标事务所有限公司

代理人 陈 亮

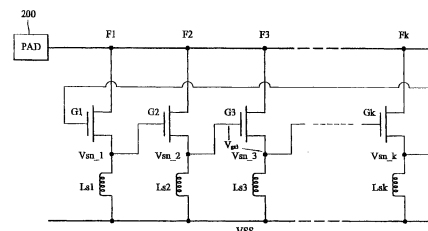
权利要求书 6 页 说明书 14 页 附图 23 页

## [54] 发明名称

具有均匀导通设计的静电放电防护电路

## [57] 摘要

一种具有均匀导通设计的静电放电防护电路，是在多指状 MOS 晶体管的源极上加上电阻或电感，并借由回授电路以均匀地触发。当发生 ESD 轰击时，由于布局或其它因素，起初一指状元件 MOS 晶体管会被触发至骤回崩溃区，而在此指状元件 MOS 晶体管源极的电感或电阻上产生一电压降，并借由回授装置传送到其余指状元件 MOS 晶体管的栅极。因此，其余指状元件 MOS 晶体管会同时被导通。



1. 一种具有均匀导通设计的静电放电防护电路，适用于一具有接合垫的集成电路，其特征在于：所述静电放电防护电路包括：

一第一型态的 MOS 晶体管，具有多个并联的指状元件，上述指状元件均具有一漏极耦接到上述接合垫，以及一源极耦接到下一指状元件的栅极，并借由一电感耦接到一第一电位，其中一第一级的指状元件的栅极耦接到一最末级的指状元件的源极。

2. 根据权利要求 1 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为一 NMOS 晶体管。

3. 根据权利要求 1 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为一 PMOS 晶体管。

4. 根据权利要求 1 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括一电阻耦接于上述第一级的指状元件的栅极与上述第一电位之间。

5. 根据权利要求 1 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括一第二型态的 MOS 晶体管，具有多个并联的指状元件，上述指状元件均具有一漏极耦接到上述接合垫，以及一源极耦接到下一指状元件的栅极，并借由一电感耦接到一第二电位，其中一第一指状元件的栅极耦接到一最末级的指状元件的源极。

6. 根据权利要求 5 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为 NMOS 晶体管，上述第二型态的 MOS 晶体管为 PMOS 晶体管。

7. 根据权利要求 5 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括：

一第一电阻，耦接于上述第一型态晶体管的第一指状元件的栅极与上

述第一电位之间;

一第二电阻,耦接于上述第二型态晶体管的第一指状元件的栅极与上述第二电位之间。

8. 一种具有均匀导通设计的静电放电防护电路,适用于一具有接合垫的集成电路,其特征在于:包括:

一第一型态的 MOS 晶体管,具有多个指状元件,其中上述指状元件均具有一栅极,一漏极耦接到上述接合垫,一源极借由一电感耦接到一第一电位,以及一二极管耦接上述栅极与源极之间。

9. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路,其特征在于:上述第一型态的 MOS 晶体管为一 NMOS 晶体管。

10. 根据权利要求 9 所述的具有均匀导通设计的静电放电防护电路,其特征在于:每一上述二极管具有一阴极以及一阳极,分别耦接到上述每一指状元件的栅极与源极。

11. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路,其特征在于:上述第一型态的 MOS 晶体管为一 PMOS 晶体管。

12. 根据权利要求 11 所述的具有均匀导通设计的静电放电防护电路,其特征在于:每一上述二极管具有一阴极以及一阳极,分别耦接到上述每一指状元件的源极与栅极。

13. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路,其特征在于:还包括一电阻耦接于上述多个指状元件的栅极与上述第一电位之间。

14. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路,其特征在于:还包括一前级驱动器具有一输出端耦接到上述多个指状元件的栅极。

15. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路,其特征在于:还包括一第二型态的 MOS 晶体管,具有多个指状元件,其

中上述指状元件均具有一栅极，一漏极耦接到上述接合垫，一源极借由另一电感耦接到一第二电位，以及一二极管耦接上述栅极与源极之间。

16. 根据权利要求 8 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括一第二型态的 MOS 晶体管，具有多个指状元件，其中上述指状元件均具有一栅极，一漏极耦接到上述接合垫，一源极借由一电阻耦接到一第二电位，以及一二极管耦接上述栅极与源极之间。

17. 根据权利要求 15 或 16 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为 NMOS 晶体管，而第二型态的 MOS 晶体管为 PMOS 晶体管。

18. 根据权利要求 15 或 16 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括：

一第一电阻，耦接于上述第一型态晶体管的多个指状元件的栅极与上述第一电位之间；

一第二电阻，耦接于上述第二型态晶体管的多个指状元件的栅极与上述第二电位之间。

19. 根据权利要求 15 或 16 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括：

一第一前级驱动器具有一输出端耦接到上述第一型态 MOS 晶体管的多个指状元件的栅极；

一第一前级驱动器具有一输出端耦接到上述第二型态 MOS 晶体管的多个指状元件的栅极。

20. 根据权利要求 15 或 16 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括：

一第一反相器，具有一输入端以及一输出端，其中上述输出端耦接到上述第一型态 MOS 晶体管的多个指状元件的栅极；

一第一电阻，耦接于上述第一反相器的输入端与上述第一电位之间；

一第二反相器，具有一输入端以及一输出端，其中上述输出端耦接到上述第二型态 MOS 晶体管的多个指状元件的栅极；

一第二电阻，耦接于上述第二反相器的输入端与上述第二电位之间。

21. 一种具有均匀导通设计的静电放电防护电路，适用于一具有接合垫的集成电路，其特征在于：包括：

一第一型态的 MOS 晶体管，具有多个指状元件，其中上述指状元件均具有一栅极，一漏极耦接到上述接合垫，一源极借由一电阻耦接到一第一电位，以及一二极管耦接上述栅极与源极之间。

22. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为一 NMOS 晶体管。

23. 根据权利要求 22 所述的具有均匀导通设计的静电放电防护电路，其特征在于：每一上述二极管具有一阴极以及一阳极，分别耦接到上述每一指状元件的栅极与源极。

24. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路，其特征在于：上述第一型态的 MOS 晶体管为一 PMOS 晶体管。

25. 根据权利要求 24 所述的具有均匀导通设计的静电放电防护电路，其特征在于：每一上述二极管具有一阴极以及一阳极，分别耦接到上述每一指状元件的源极与栅极。

26. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包含一指状元件，其源极借由一电感耦接到该第一电位。

27. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括一电阻耦接于上述多个指状元件的栅极与上述第一电位之间。

28. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路，其特征在于：还包括一前级驱动器具有一输出端耦接到上述多个指状元件的栅极。

29. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 还包括一第二型态的 MOS 晶体管, 具有多个指状元件, 其中上述指状元件均具有一栅极, 一漏极耦接到上述接合垫, 一源极借由另一电阻耦接到一第二电位, 以及一二极管耦接上述栅极与源极之间。

30. 根据权利要求 21 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 还包括一第二型态的 MOS 晶体管, 具有多个指状元件, 其中上述指状元件均具有一栅极, 一漏极耦接到上述接合垫, 一源极借由另一电阻耦接到一第二电位, 以及一二极管耦接上述栅极与源极之间。

31. 根据权利要求 29 或 30 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 上述第一型态的 MOS 晶体管为 NMOS 晶体管, 而第二型态的 MOS 晶体管为 PMOS 晶体管。

32. 根据权利要求 29 或 30 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 还包括:

一第一电阻, 耦接于上述第一型态晶体管的多个指状元件的栅极与上述第一电位之间;

一第二电阻, 耦接于上述第二型态晶体管的多个指状元件的栅极与上述第二电位之间。

33. 根据权利要求 29 或 30 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 还包括:

一第一前级驱动器具有一输出端耦接到上述第一型态 MOS 晶体管的多个指状元件的栅极;

一第二前级驱动器具有一输出端耦接到上述第二型态 MOS 晶体管的多个指状元件的栅极。

34. 根据权利要求 29 或 30 所述的具有均匀导通设计的静电放电防护电路, 其特征在于: 还包括:

一第一反相器, 具有一输入端以及一输出端, 其中上述输出端耦接到

上述第一型态 MOS 晶体管的多个指状元件的栅极;

一第一电阻,耦接于上述第一反相器的输入端与上述第一电位之间;

一第二反相器,具有一输入端以及一输出端,其中上述输出端耦接到上述第二型态 MOS 晶体管的多个指状元件的栅极;

一第二电阻,耦接于上述第二反相器的输入端与上述第二电位之间。

## 具有均匀导通设计的静电放电防护电路

### 技术领域

本发明有关于一种静电放电防护电路，特别是有关一种具有均匀导通多指状晶体管的设计的静电放电防护电路。

### 背景技术

在骤回崩溃机制(snapback mechanism)下，N 型金氧半晶体管(以下简称 NMOS)是为一种有效的静电放电防护装置。当静电放电发生(ESD zapping)时，骤回崩溃机制会致使 NMOS 传导一个大静电放电电流(ESD current)于其漏极与源极之间。为了承受足够高的静电放电电流以达到集成电路对静电放电的防护规格(人体放电模式 2000V)，该 NMOS 组件经常具有大的组件尺寸，而大尺寸的 NMOS 组件在集成电路布局上，一般都是绘制成多指状(finger)结构，以节省所占用的布局面积。而 NMOS 的所有多指状元件在静电放电轰击之下，由于 NMOS 的多指状元件的寄生 NPN 晶体管的骤回崩溃速度不同，经常只有其中一指状元件的 NPN 晶体管先导通来排放瞬间的静电放电电流，而其它指状元件却未启动来协助排放静电放电电流，因此该先导通的指状元件会先被静电放电电流烧毁，这导致具有大尺寸的 NMOS 组件的 ESD 耐受力，并不会随着组件尺寸增大而等比增加。因此，如何促使大尺寸的 NMOS 多指状元件能够均匀地导通来共同排放 ESD 电流，成为 ESD 防护设计上的挑战。

图 1 为传统栅极接地的 NMOS (GGNMOS) 或栅极接 VDD 的 PMOS (GDPMOS)



的静电放电防护设计的布局俯视图。图 2 为多指状栅极接地的 NMOS (GGNMOS) 的示意图。NMOS 晶体管的漏极接到接合垫, NMOS 晶体管的栅极与源极都接地 (VSS), 所有 NMOS 晶体管皆并联连接。图 3a 表示上述多指状 GGNMOS 的等效电路, 且图 3b 表示其剖面图。由于最中间的指状元件 (finger) 到防护圈 (guard ring) 具有最长的间距, 因此其等效基板电阻 (equivalent substrate resistance)  $R_{sub}$  最大。由于每一个指状元件的基板电阻都不同, 时常会造成 ESD 防护电路中多指状 NMOS 装置 (multiple-finger) 不均匀导通的问题。

图 4 表示 GGNMOS 的骤回崩溃 I-V 曲线。于 ESD 事件中, 当寄生的侧向双载子晶体管 (parasitic lateral bipolar) 导通时, 就会发生骤回现象 (snapback phenomenon)。指状元件的一者会先被导通, 接着操作电压会被拉低到握住电压 (holding voltage), 而其余的指状元件将不会导通。因此, 就算指状元件的数目增加, ESD 耐受力 (ESD level) 也不会增加。此种不均匀导通的影响表示于图 4b 中, 就算组件宽度 (device width) 增加, ESD 耐受力也不会随着持续增加。

图 5 表示多指状 GGNMOS 于 ESD 应力下的导通行为模式 (turn-on behavior)。于 A 点时, 为正常状态下没有 ESD 突波, 因此 GGNMOS 会保持截止。于 B 点至 D 点时, 当 ESD 突波增加, 因为 GGNMOS 的栅极接地没有通道产生, 因此 GGNMOS 仍然会保持截止。于 E 点到 F 点时, ESD 突波继续增加, 漏极侧会产生崩溃现象, 且在中间的寄生侧向双载子接面晶体管会被触发, 而产生骤回崩溃效应。因此, 其余的指状元件将不会导通, 且静电放电电流 (ESD current) 仅会借由导通的指状元件流到接地去。这就是所谓多指状 MOSFETs 的不均匀导通现象。于 G 点至 J 点时, 当 ESD 突波继续增加, 靠近中间的指状元件已经完全导通了, 但是离中间比较远的指状元件却都仍然保持截止。故, 即使该 NMOS 具有很大的尺寸, 但由于在 ESD 轰击时只有少数指状元件会导通, 因此这个 NMOS 将只具有很

低的 ESD 防护能力 (ESD robustness)。

如图 6 所示,为了解决此不均匀导通的问题,是加上了源极电阻及漏极电阻 ( $R_{s1} - R_{sn}$ 、 $R_{d1} - R_{dn}$ )。举例来说,当指状元件 F2 导通时,就会产生一个  $V_{si2}$  的电位。此电位会被传送到指状元件 F3 的栅极,只要没有电流流通指状元件 F3,电位  $V_{si3}$  将为零,且因此指状元件 F3 的闸源极之间将存在一个偏压  $V_{gs3}$ 。当此偏压  $V_{gs3}$  超过指状元件 F3 的临界电压时,指状元件 F3 将会被完全地导通。这个相同的机制将引发一个骨牌效应,将其余指状元件一个接着一个地导通。

然而,前述的 ESD 防护电路通常仍无法均匀地导通,因此需要一个 ESD 防护电路能够具均匀地导通的特性,保证起初至少有一个指状元件会被导通,然后其余指状元件肯定会因它而触发导通,借此提升集成电路的静电放电耐受力 (ESD susceptibility)。

## 发明内容

本发明的首要目的,是在于提供一具有均匀导通能力的 ESD 防护电路。

为达成上述目的,本发明提供一种具有均匀导通设计的静电放电防护电路,于静电放电发生时,可以均匀导通的多指状 MOS 晶体管,以传导一个大电流。因此,提升此 ESD 防护电路的 ESD 耐受力。于本发明的 ESD 防护电路中,指状 MOS 晶体管是于源极侧加上电感或电阻,且提供回授电路来均匀地触发指状 MOS 晶体管。当静电放电发生时,由于布局或其它因素,起初一指状 MOS 晶体管会被触发至骤回崩溃区,于此指状 MOS 晶体管源极上的电感或电阻上产生一电压降,且借由回授装置传送到其余指状 MOS 晶体管的栅极,以促使其余指状 MOS 晶体管导通。因此,起初至少一个指状 MOS 晶体管会被导通,且其余指状 MOS 晶体管毫无疑问地会

因它被触发导通。本发明是解决了不均匀导通的问题，所有指状 MOS 晶体管会均匀地导通，增进了集成电路的 ESD 耐受力。

本发明是提供一具有均匀导通设计的静电放电防护电路，适用于具有一输入/输出接合垫 (I/O pad) 的一集成电路，具有一第一型 MOS 晶体管包含多个串接的指状元件，其中每一个指状元件具有一漏极耦接到上述输入/输出接合垫，以及一源极耦接到下一指状元件的栅极，并借由一电感耦接至一第一准位，一第一指状元件的栅极是耦接到一最末的指状元件的源极。

本发明是提供一具有均匀导通设计的静电放电防护电路，适用于具有一输入/输出接合垫的一集成电路，具有一第一型 MOS 晶体管包含多个串接的指状元件，其中上述多个指状元件具有漏极耦接到上述输入/输出接合垫，栅极耦接在一起，以及多个二极管耦接于多个指状元件的源极与栅极之间。

### 附图说明

图 1 为传统栅极的接地 NMOS (GGNMOS) 或栅极接 VDD 的 PMOS (GDPMOS) 的静电放电防护设计的布局俯视图；

图 2 为多指状栅极的接地 NMOS (GGNMOS) 的示意图；

图 3a 表示多指状 GGNMOS 的等效电路；

图 3b 表示图 3a 的剖面图；

图 4a 为 GGNMOS 的 I-V 曲线示意图；

图 4b 用以说明 ESD 防护电路的信道宽度与其 ESD 耐受力的依存关系；

图 5 用以说明多指状 GGNMOS 的导通行为模式；

图 6 为传统具有均匀导通设计的多指状 GGNMOS 的示意图；

图 7 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 设计的

一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 8 所示为适用于一接合垫的一具有均匀导通多指状 PMOS 设计的静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 9 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 10 所示为适用于电源线(power rail)静电放电防护的一具有均匀导通多指状 NMOS 设计的静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 11 中所示为适用于输入接合垫的具有均匀导通多指状 NMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 12 中所示为适用于输入接合垫的具有均匀导通多指状 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 13 中所示为适用于电源线(power rail)静电放电防护的一具有均匀导通多指状 NMOS 设计的静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 14 中所示为适用于输出接合垫的具有均匀导通多指状 NMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 15 中所示为适用于输出接合垫的具有均匀导通多指状 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 16 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 17 所示为适用于一输出接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 18 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 与

PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感；

图 19 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电阻；

图 20 所示为适用于一输出接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电阻；

图 21 所示为适用于一输入接合垫的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电阻。

符号说明：

PAD、200、201：接合垫

Rusb：等效基板电阻

F1-Fk、FN1-FNk、FP1-FPk：指状元件

G1-Gk、GN1-GNk、GP1-GPk：栅极

Rd1-Rdn：漏极电阻

Rs1-Rsn：源极电阻

Si1-Sin：源极

Lsn1-Lsnk、Ls1-Lsk、Lp1-Lpk、Ln1-Lnk：源极电感

$R_G$ 、 $R_{Gp}$ 、 $R_{Gn}$ ：电阻

D1-Dk、Dp-1-Dp-k：二极管

100、101：前级驱动器

INV1、INV2：反相器

GL：共栅极线

## 具体实施方式

为了让本发明的上述和其它目的、特征、和优点能更明显易懂，下文特举一较佳实施例，并配合所附图示，作详细说明如下：

本发明揭露一具有均匀导通多指状 MOS 晶体管(multiple fingers)的静电放电防护电路，能够于静电放电发生时，传导一个大电流。在本发明的 ESD 电路中，指状 MOS 晶体管(finger MOS transistor)的触发机制是借由连接到源极的电感或电阻来实现，并且借由回授电路来均匀地触发所有的指状 MOS 晶体管。当静电放电发生时，由于其布局或其它因素，起初一指状 MOS 晶体管会先被触发到骤回崩溃区中。接着，耦接在上述指状 MOS 晶体管源极的电感或电阻上会产生一电压降，且借由回授电路传送至其余指状 MOS 晶体管的栅极，以促使其余指状 MOS 晶体管导通。因此，起初至少一指状 MOS 晶体管会导通，其余指状 MOS 晶体管肯定会被它导通。故本发明可以解决不均匀导通的问题，以提升集成电路的 ESD 耐受力。

### 第一实施例

如图 7 所示，为耦接于一输入接合垫(input pad)的具有均匀导通多指状 NMOS 设计的一个静电放电防护电路，且该多指状晶体管具有多个源极电感。此静电放电防护电路，适用于一集成电路，包含一具有多个并联的指状元件  $F1-Fk$  的 NMOS 晶体管。指状元件  $F_i (1 < i < k)$  各具有一漏极耦接至输入接合垫 200，以及一源极耦接到下一个指状元件  $F_{i+1}$  的栅极，并且借由一电感  $L_{si} (1 < i < k)$  耦接至电位 VSS。此外，第一指状元件  $F1$  的栅极是耦接到最后一个指状元件  $Fk$  的源极。

于直流(DC)操作情形下，电感  $L_{s1}-L_{sk}$  皆具有零阻抗。指状元件  $F1-Fk$  的栅极  $G1-Gk$ ，源极皆连接到电位 VSS，并且漏极皆连接到输入接合垫(input pad) 200。因此，于直流操作下，NMOS 晶体管会处于截止状态。

于一 PS 形式(positive-to- $V_{ss}$  mode)的 ESD 应力发生时,举例来说,指状元件 F2 会被触发而产生一个电位  $V_{sn-2}$ ,此电位  $V_{sn-2}$  会被传送到指状元件 F3 的栅极 G3。只要没有电流流经指状元件 F3,电位  $V_{sn-3}$  就会为零,因此指状元件 F3 的闸源极之间将有一偏压  $V_{gs3}$  存在。当此偏压  $V_{gs3}$  超过指状元件 F3 的临界电压时,指状元件 F3 会被完全地导通。这个相同的机制将引发一个骨牌效应,将其余指状元件一个接着一个地导通。因为在静电放电发生时(ESD zapping),所有电感  $L_{s1}$ - $L_{sk}$  的阻抗会很高,所以 NMOS 晶体管的所有指状元件将会很快被导通。

如图 8 所示,为耦接于一接合垫(pad)的一具有均匀导通多指状 PMOS 设计的静电放电防护电路,且该多指状晶体管具有多个源极电感。此静电放电防护电路,适用于一集成电路,包含一具有并联的指状元件 F1-F<sub>k</sub> 的 PMOS 晶体管。指状元件 F<sub>i</sub> ( $1 < i < k$ ) 各具有一漏极耦接至输入接合垫(input pad) 200,以及一源极耦接到下一个指状元件 F<sub>i+1</sub> 的栅极,并且借由一电感  $L_{si}$  ( $1 < i < k$ ) 耦接至电位 VDD。此外,第一指状元件 F1 的栅极会耦接到最后一个指状元件 F<sub>k</sub> 的源极。

于直流(DC)操作情形下,电感  $L_{s1}$ - $L_{sk}$  皆具有零阻抗。指状元件 F1-F<sub>k</sub> 的栅极 G1-G<sub>k</sub>,源极皆连接到电位 VDD,并且漏极皆连接到输入接合垫 200。因此,于直流操作下,PMOS 晶体管会处于截止状态。于一 NS 形式(negative-to- $V_{DD}$  mode)的 ESD 应力发生时,举例来说,指状元件 F2 会被触发而产生一个电位  $V_{sp-2}$ ,此电位  $V_{sp-2}$  会被传送到指状元件 F3 的栅极 G3。只要没有电流流经指状元件 F3,电位  $V_{sp-3}$  就会为零,且指状元件 F3 的闸源极之间将有一偏压  $V_{gs3}$  存在。当此偏压  $V_{gs3}$  超过指状元件 F3 的临界电压时,指状元件 F3 会被完全地导通。这个相同的机制将引发一个骨牌效应,将其余指状元件一个接着一个地导通。因为在 ESD 轰击(ESD zapping)之下,所有电感  $L_{s1}$ - $L_{sk}$  的阻抗会很高,所以 PMOS 晶体管的所有指状元件将会很快被导通。

如图 9 所示, 为耦接于一输入接合垫(input pad)的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。上述静电放电防护电路适用于一集成电路, 包含一具有并联的指状元件 FN1-FNk 的 NMOS 晶体管, 以及一具有并联的指状元件 FP1-FPk 的 PMOS 晶体管。指状元件 FN1 的栅极 GN1 会借由一电阻  $R_{Gn}$  连接到电位 VSS。指状元件 FN $i$  ( $1 < i < k$ ) 各具有一漏极耦接至输入接合垫 200, 以及一源极耦接到下一个指状元件 FN $i+1$  的栅极 GN $i+1$ , 并且借由一电感 L $ni$  ( $1 < i < k$ ) 耦接至电位 VSS。此外, 指状元件 FNk 的源极会耦接至指状元件 FN1 的栅极 GN1。同样地, 指状元件 FP1 的栅极 GP1 会借由一电阻  $R_{Gp}$  连接到电位 VDD。指状元件 FP $i$  ( $1 < i < k$ ) 各具有一漏极耦接至输入接合垫 200, 以及一源极耦接到下一个指状元件 FP $i+1$  的栅极 GP $i+1$ , 并且借由一电感 L $pi$  ( $1 < i < k$ ) 耦接至电位 VDD。此外, 指状元件 FPk 的源极会耦接至指状元件 FP1 的栅极 GP1。

于一 PS 形式(positive-to-Vss mode)的 ESD 应力发生时, 举例来说, 指状元件 FN1 会先被触发而产生一个电位 V $sn-1$ , 此电位 V $sn-1$  会被传送到指状元件 FN2 的栅极 GN2。只要没有电流流经指状元件 FN2, 电位 V $sn-2$  就会为零, 因此指状元件 FN2 的闸源极之间将有一偏压 V $gs2$  存在。当此偏压 V $gs2$  超过指状元件 FN2 的临界电压时, 指状元件 FN2 会被完全地导通。这个相同的机制将引发一个骨牌效应, 将其余指状元件 FN1-FNk 一个接着一个导通。于一 NS 形式(negative-to-V $DD$  mode)的 ESD 应力发生时, 举例来说, 指状元件 FP1 会被触发而产生一个电位 V $sp-1$ , 此电位 V $sp-1$  会被传送到指状元件 FP2 的栅极 GP2。只要没有电流流经指状元件 FP2, 电位 V $sp-2$  就会为零, 因此指状元件 FP2 的闸源极之间将有一偏压 V $gs2$  存在。当此偏压 V $gs2$  超过指状元件 FP2 的临界电压时, 指状元件 FP2 会被完全地导通。这个相同的机制将引发一个骨牌效应, 将其余指状元件 (FP1-FPk) 一个接着一个地导通。



如图 10 所示, 为用于电源线(power rail)静电放电防护的一具有均匀导通多指状 NMOS 设计的静电放电防护电路, 且该多指状晶体管具有多个源极电感。图 10 中的 ESD 防护电路与图 7 中的相似, 除了输入接合垫 200 以电源线 VDD 取代, 以及指状元件 F1 的栅极 G1 借由一电阻  $R_{Gn}$  耦接到电位 VSS。

如图 11 所示, 为用于输入接合垫的具有均匀导通多指状 NMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。此静电放电防护电路, 适用于具有一输入接合垫 200 的一集成电路, 且此 ESD 防护电路包含具有多个个指状元件 F1-Fk 的 NMOS 晶体管。指状元件 F1-Fk 皆具有漏极耦接到输入接合垫 200, 源极借由源极电感  $L_{s1}$ - $L_{sk}$  耦接到电位 VSS, 且所有栅极皆耦接在一起。二极管 D1-Dk 是分别地耦接于指状元件 F1-Fk 的源极与栅极 G1-Gk 之间, 二极管 D1-Dk 的阳极耦接到指状元件 F1-Fk 的源极, 其阴极耦接到指状元件 F1-Fk 的栅极 G1-Gk。一电阻  $R_G$  是耦接于所有指状元件 F1-Fk 的栅极 G1-Gk 与电位 VSS 之间。二极管 D1-Dk 用以控制连接到指状元件 F1-Fk 的栅极 G1-Gk 的共栅极线(common gate line)GL。举例来说, 若起初指状元件 F2 被触发, 则会产生一电压降跨在电感  $L_{s2}$  之上。因此, 对应的二极管 D2 则为顺向偏压, 其余的二极管则为反向偏压以防止共栅极线 GL 上电荷的大量减少。于是流经二极管 D2 流向共栅极线 GL 的电流, 会对所有指状元件 F1-Fk 的栅极充电, 因此所有指状元件 F1-Fk 会被同时导通。

如图 12 所示, 为用于输入接合垫的具有均匀导通多指状 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。此静电放电防护电路, 适用于具有一输入接合垫 200 的一集成电路, 且此 ESD 防护电路包含具有多个个指状元件 F1-Fk 的 PMOS 晶体管。指状元件 F1-Fk 皆具有漏极耦接到输入接合垫 200, 源极借由源极电感  $L_{s1}$ - $L_{sk}$  耦接到电位 VDD, 且所有栅极皆耦接在一起。二极管  $D_{p-1}$ - $D_{p-k}$  是分别地耦接于

指状元件  $F1-F_k$  的源极与栅极  $G1-G_k$  之间, 二极管  $Dp-1-Dp-k$  的阴极耦接到指状元件  $F1-F_k$  的源极, 其阳极耦接到指状元件  $F1-F_k$  的栅极  $G1-G_k$ 。一电阻  $R_{Gp}$  是耦接于所有指状元件  $F1-F_k$  的栅极  $G1-G_k$  与电位  $VDD$  之间。

二极管  $Dp-1-Dp-k$  用以控制连接到指状元件  $F1-F_k$  的栅极  $G1-G_k$  的共栅极线 (common gate line)  $GL$ 。举例来说, 若起初指状元件  $F2$  被触发, 则会产生一电压降跨在电感  $Ls2$  之上。因此, 对应的二极管  $Dp-2$  则为顺向偏压, 其余的二极管则为反向偏压以防止共栅极线  $GL$  上电荷的大量减少。于是流经二极管  $Dp-2$  流向共栅极线  $GL$  的电流, 会对所有指状元件  $F1-F_k$  的栅极充电, 因此所有指状元件  $F1-F_k$  会被同时导通。

如图 13 所示, 为用于电源线 (power rail) 静电放电防护的一具有均匀导通多指状 NMOS 设计的静电放电防护电路, 且该多指状晶体管具有多个源极电感。图 13 中的 ESD 防护电路与图 11 中的相同, 除了输入接合垫 200 以电源线  $VDD$  取代。

如图 14 所示, 为用于输出接合垫的具有均匀导通多指状 NMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。此静电放电防护电路, 适用于具有一输出接合垫 201 的一集成电路, 且此 ESD 防护电路包含具有多个指状元件  $F1-F_k$  的 NMOS 晶体管。指状元件  $F1-F_k$  皆具有漏极耦接到输入接合垫 201, 源极借由源极电感  $Ls1-Lsk$  耦接到电位  $VSS$ , 且所有栅极  $G1-G_k$  皆耦接在一起。二极管  $D1-Dk$  是分别地耦接于指状元件  $F1-F_k$  的源极与栅极  $G1-G_k$  之间, 二极管  $D1-Dk$  的阳极耦接到指状元件  $F1-F_k$  的源极, 其阴极耦接到指状元件  $F1-F_k$  的栅极  $G1-G_k$ 。一前级驱动器 (pre-driver) 100 的输出端是耦接到所有指状元件  $F1-F_k$  的栅极  $G1-G_k$ 。

二极管  $D1-Dk$  用以控制连接到指状元件  $F1-F_k$  的栅极  $G1-G_k$  的共栅极线 (common gate line)  $GL$ 。举例来说, 若起初指状元件  $F2$  被触发则会产生一电压降跨在电感  $Ls2$  之上。因此, 对应的二极管  $D2$  则为顺向偏压,

其余的二极管则为反向偏压以防止共栅极线 GL 上电荷的大量减少。于是流经二极管 D2 流向共栅极线 GL 的电流,会对所有指状元件 F1-Fk 的栅极充电,因此所有指状元件 F1-Fk 会被同时导通。

如图 15 所示,为用于输出接合垫的具有均匀导通多指状 PMOS 设计的一个静电放电防护电路,且该多指状晶体管具有多个源极电感。此静电放电防护电路,适用于具有一输出接合垫 201 的一集成电路,且此 ESD 防护电路包含具有多个个指状元件 F1-Fk 的 PMOS 晶体管。指状元件 F1-Fk 皆具有漏极耦接到输入接合垫 201,源极借由源极电感  $L_{s1}$ - $L_{sk}$  耦接到电位 VDD,且所有栅极皆耦接在一起。二极管  $D_{p-1}$ - $D_{p-k}$  是分别地耦接于指状元件 F1-Fk 的源极与栅极 G1-Gk 之间,二极管  $D_{p-1}$ - $D_{p-k}$  的阴极耦接到指状元件 F1-Fk 的源极,其阳极耦接到指状元件 F1-Fk 的栅极 G1-Gk。一前级驱动器 (pre-driver) 100 的输出端是耦接到所有指状元件 F1-Fk 的栅极 G1-Gk。

二极管  $D_{p-1}$ - $D_{p-k}$  用以连接到指状元件 F1-Fk 的栅极 G1-Gk 的控制共栅极线 (common gate line) GL。举例来说,若起初指状元件 F2 被触发则会产生一电压降跨在电感  $L_{s2}$  之上。因此,对应的二极管  $D_{p-2}$  则为顺向偏压,其余的二极管则为反向偏压以防止共栅极线 GL 上电荷的大量减少。于是流经二极管  $D_{p-2}$  流向共栅极线 GL 的电流,会对所有指状元件 F1-Fk 的栅极充电,因此所有指状元件 F1-Fk 会被同时导通。

如图 16 所示,为耦接于一输入接合垫 (input pad) 的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路,且该多指状晶体管具有多个源极电感。上述静电放电防护电路适用于一集成电路,包含一具有指状元件 FN1-FNk 的 NMOS 晶体管,以及一具有指状元件 FP1-FPk 的 PMOS 晶体管。指状元件 FN1-FNk 皆具有漏极耦接到输入接合垫 200,源极借由源极电感  $L_{n1}$ - $L_{nk}$  耦接到电位 VSS,且所有栅极皆耦接在一起。二极管  $D1$ - $Dk$  是分别地耦接于指状元件 FN1-FNk 的源极与栅极 G1-Gk 之间,二极

管 D1-Dk 的阳极耦接到指状元件 FN1-FNk 的源极,其阴极耦接到指状元件 FN1-FNk 的栅极 G1-Gk。一电阻  $R_{Gn}$  是耦接于所有指状元件 FN1-FNk 的栅极 G1-Gk 与电位 VSS 之间。指状元件 FP1-FPk 皆具有漏极耦接到输入接合垫 200, 源极借由源极电感  $L_{p1-Lpk}$  耦接到电位 VDD, 且所有栅极皆耦接在一起。二极管  $D_{p-1-Dp-k}$  是分别地耦接于指状元件 F1-Fk 的源极与栅极 G1-Gk 之间, 二极管  $D_{p-1-Dp-k}$  的阴极耦接到指状元件 FP1-FPk 的源极, 其阳极耦接到指状元件 FP1-FPk 的栅极 G1-Gk。一电阻  $R_{Gp}$  是耦接于所有指状元件 FP1-FPk 的栅极 G1-Gk 与电位 VDD 之间。

如图 17 所示, 为耦接于一输出接合垫(output pad)的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。图 17 中的 ESD 防护电路与图 16 中的相同, 除了以前级驱动器 100、101 取代电阻  $R_{Gp}$ 、 $R_{Gn}$ 。

如图 18 所示, 为耦接于一输入接合垫(input pad)的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电感。图 18 中的 ESD 防护电路与图 17 中的相同, 除了以电阻  $R_{Gn}$  和反相器 INV\_1 取代前级驱动器 100, 以及  $R_{Gp}$  和反相器 INV\_2 取代前级驱动器 101。

如图 19 所示, 为耦接于一输入接合垫(input pad)的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电阻。图 19 中的 ESD 防护电路与图 16 中的相同, 除了以电阻  $R_{p1-Rpk}$  取代源极电感  $L_{p1-Lpk}$ , 以及电阻  $R_{n1-Rnk}$  取代源极电感  $L_{n1-Lnk}$ 。

如图 20 所示, 为耦接于一输出接合垫(output pad)的具有均匀导通多指状 NMOS 与 PMOS 设计的一个静电放电防护电路, 且该多指状晶体管具有多个源极电阻。图 20 中的 ESD 防护电路与图 17 中的相同, 除了以电阻  $R_{p1-Rpk}$  取代源极电感  $L_{p1-Lpk}$ , 以及电阻  $R_{n1-Rnk}$  取代源极电感  $L_{n1-Lnk}$ 。

如图 21 所示, 为耦接于一输入接合垫(input pad)的具有均匀导通多

指状 NMOS 与 PMOS 设计的一个静电放电防护电路,且该多指状晶体管具有多个源极电阻。图 21 中的 ESD 防护电路与图 18 中的相同,除了以电阻  $R_{p1}\text{--}R_{pk}$  取代源极电感  $L_{p1}\text{--}L_{pk}$ ,以及电阻  $R_{n1}\text{--}R_{nk}$  取代源极电感  $L_{n1}\text{--}L_{nk}$ 。

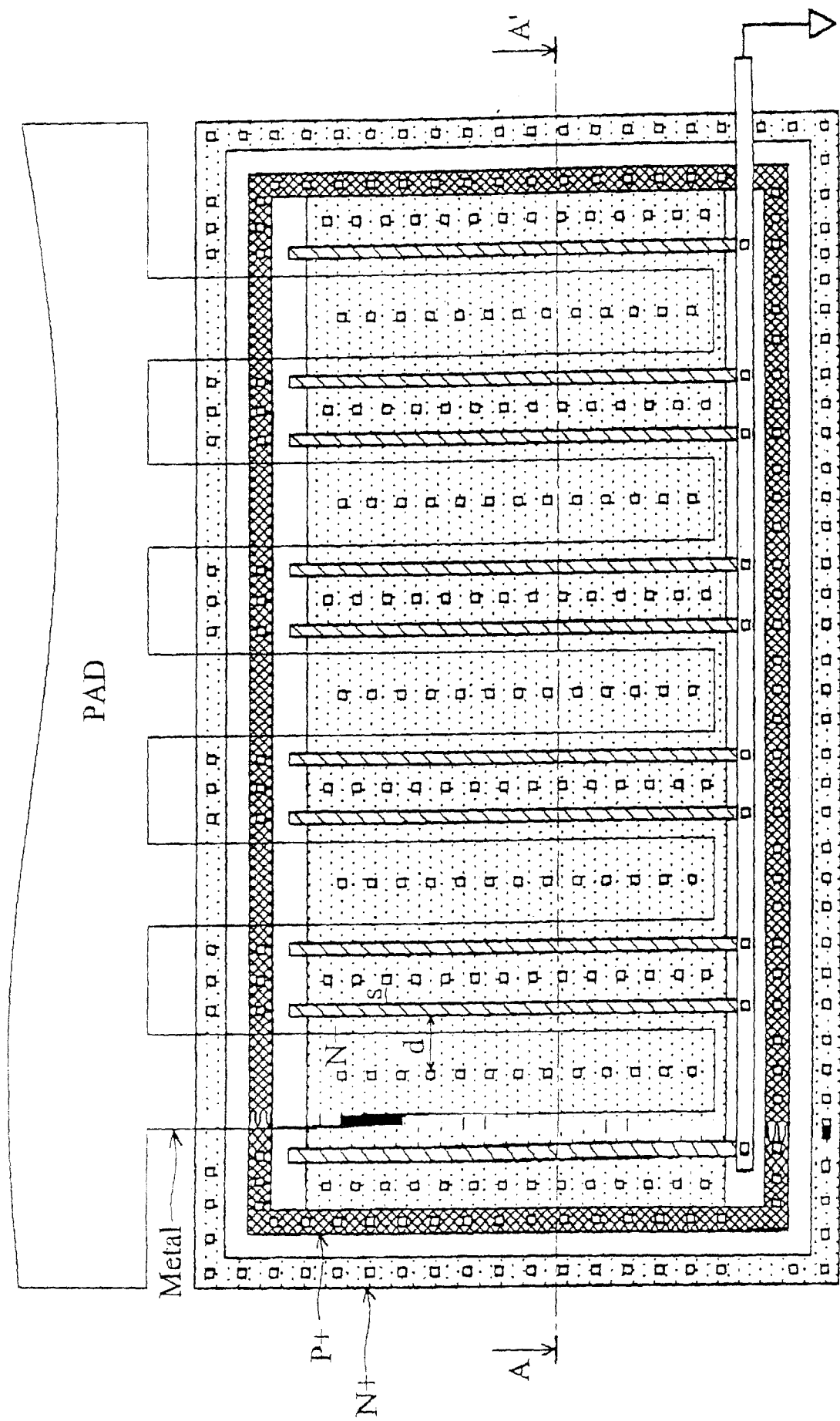


图1

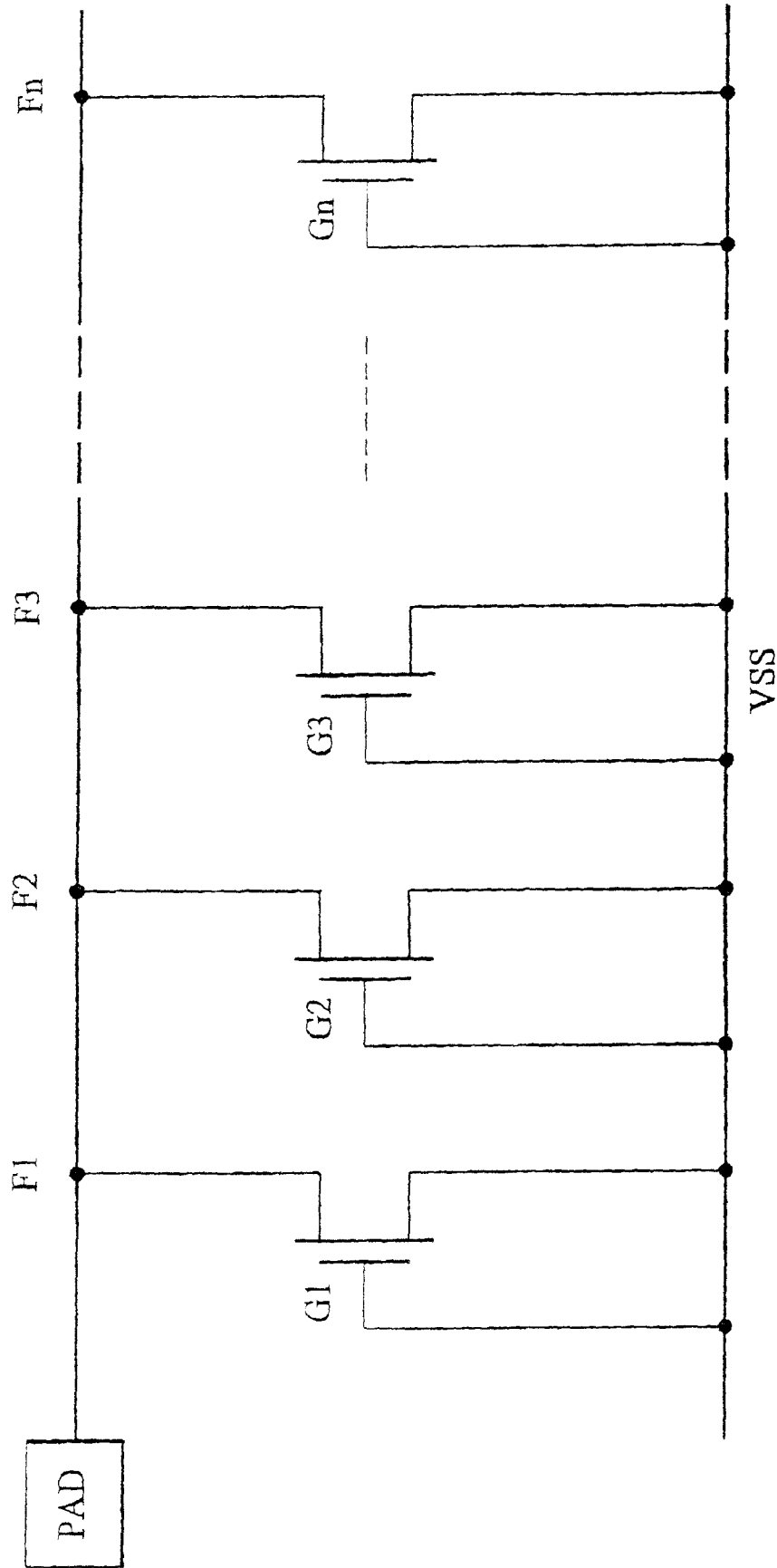


图 2

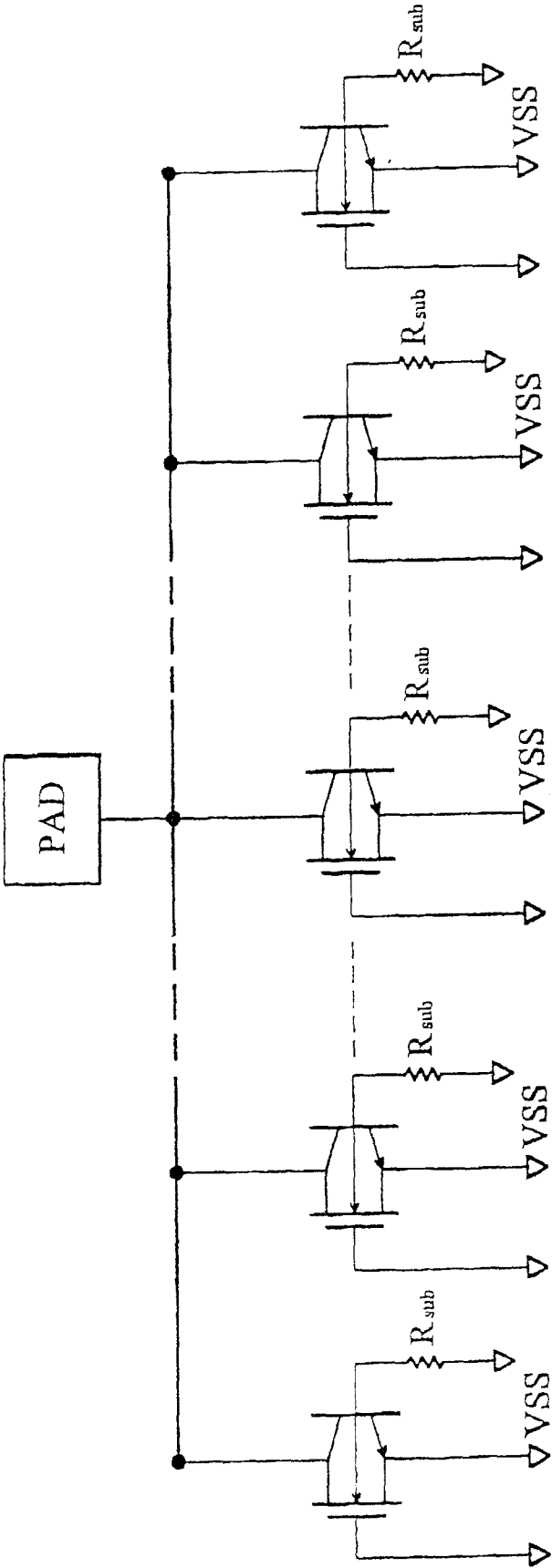


图 3a



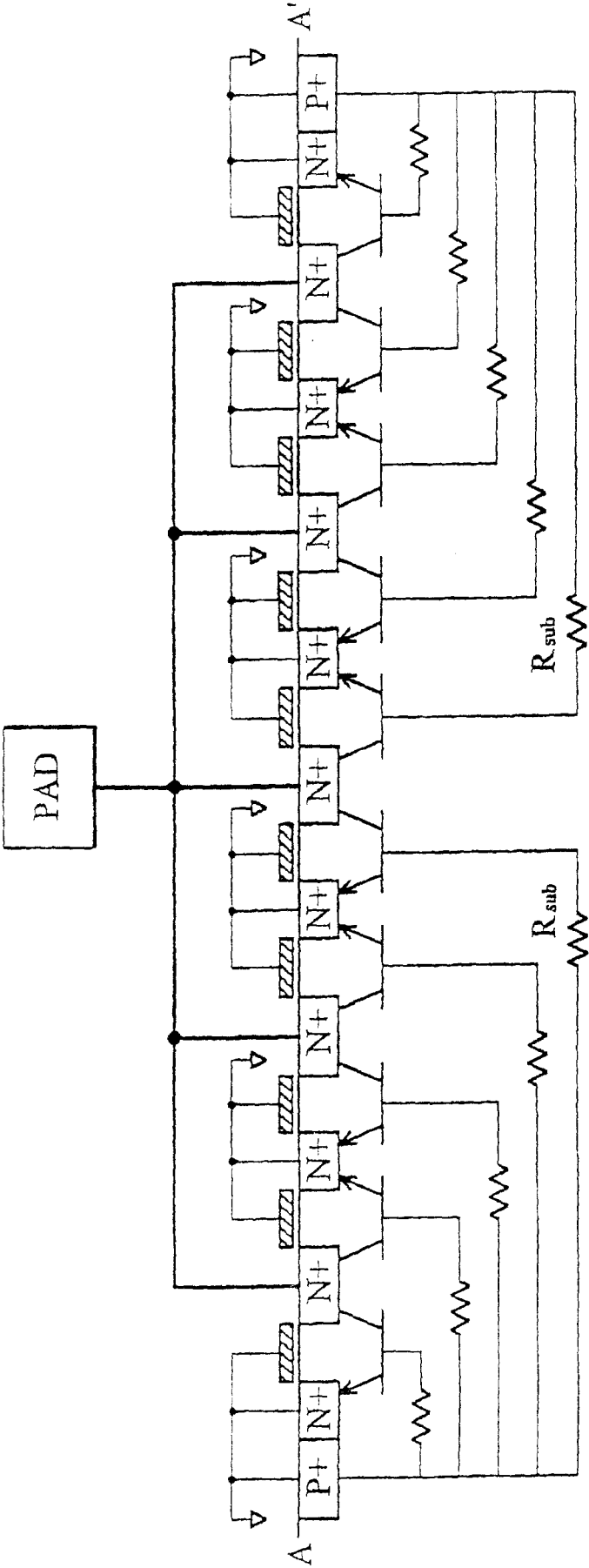


图 3b

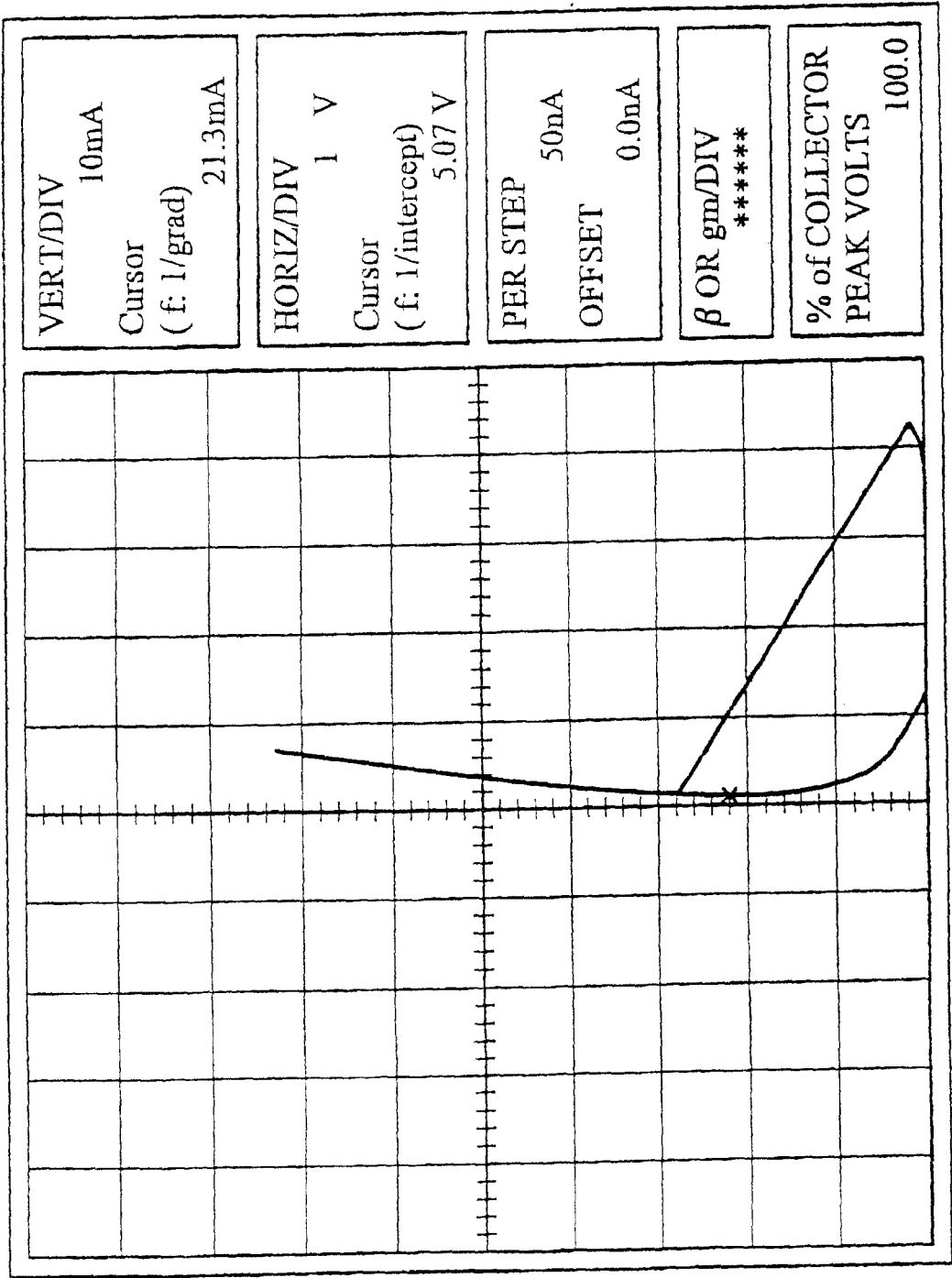


图 4a

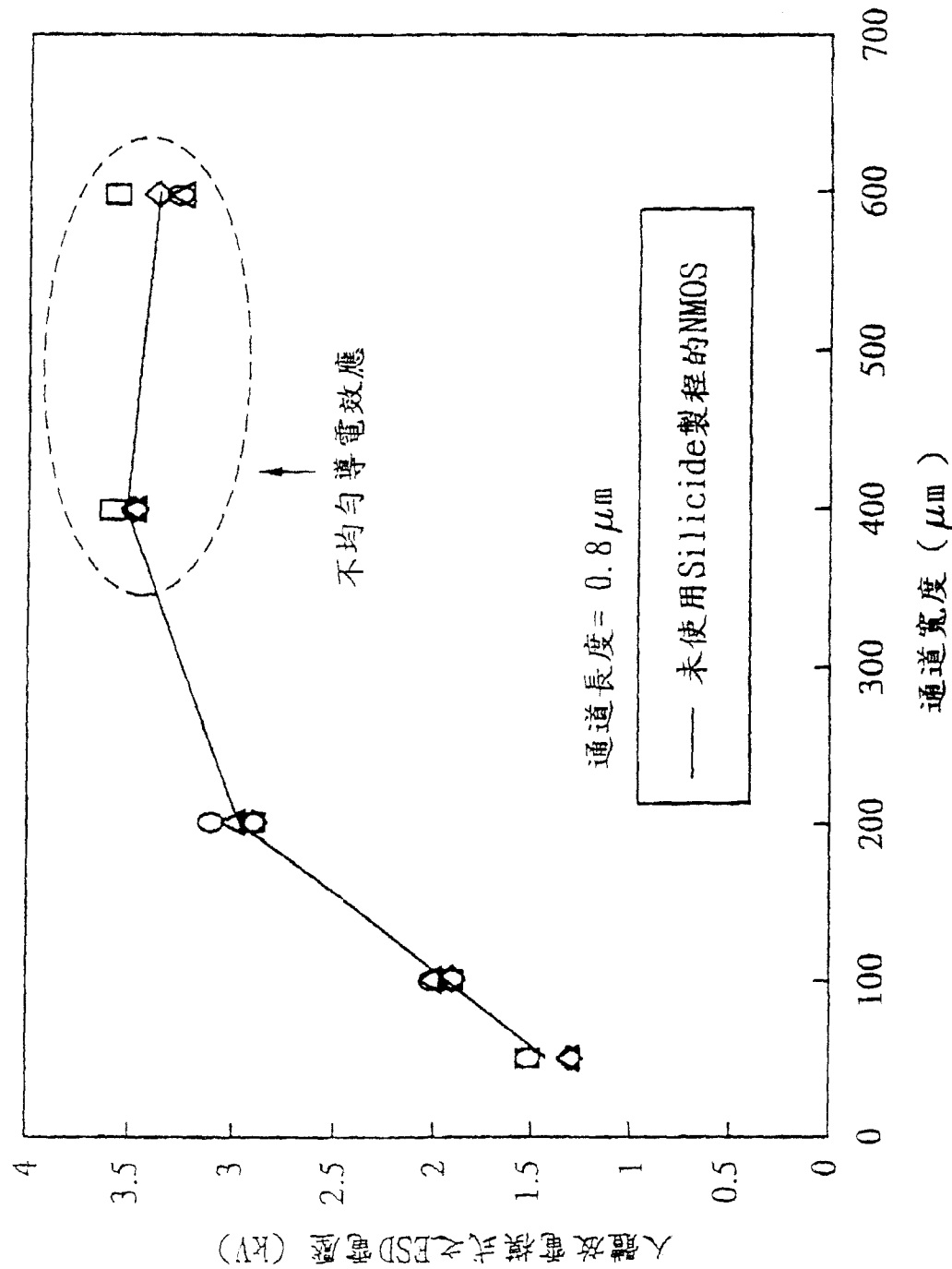


图 4b

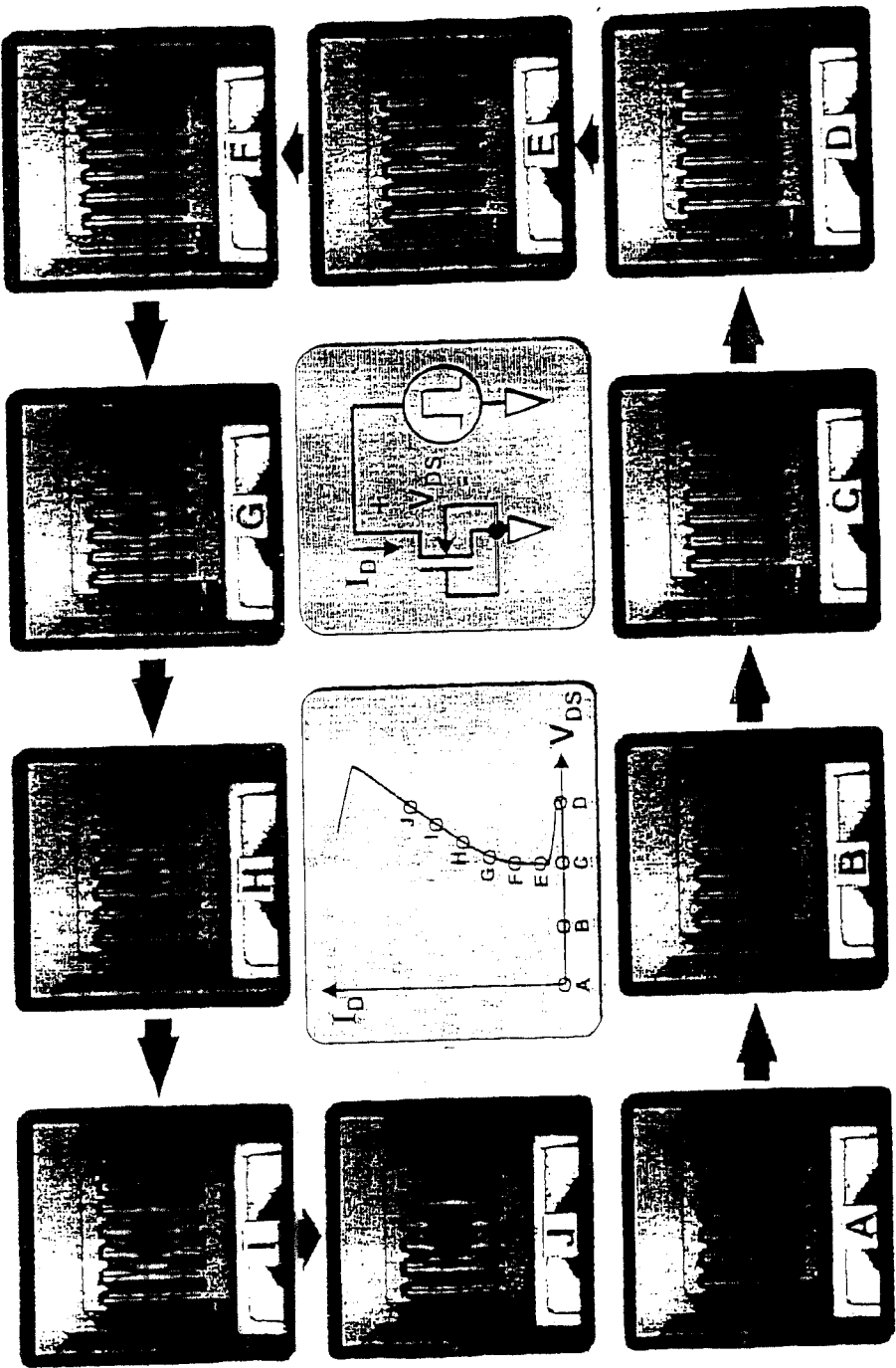


图5



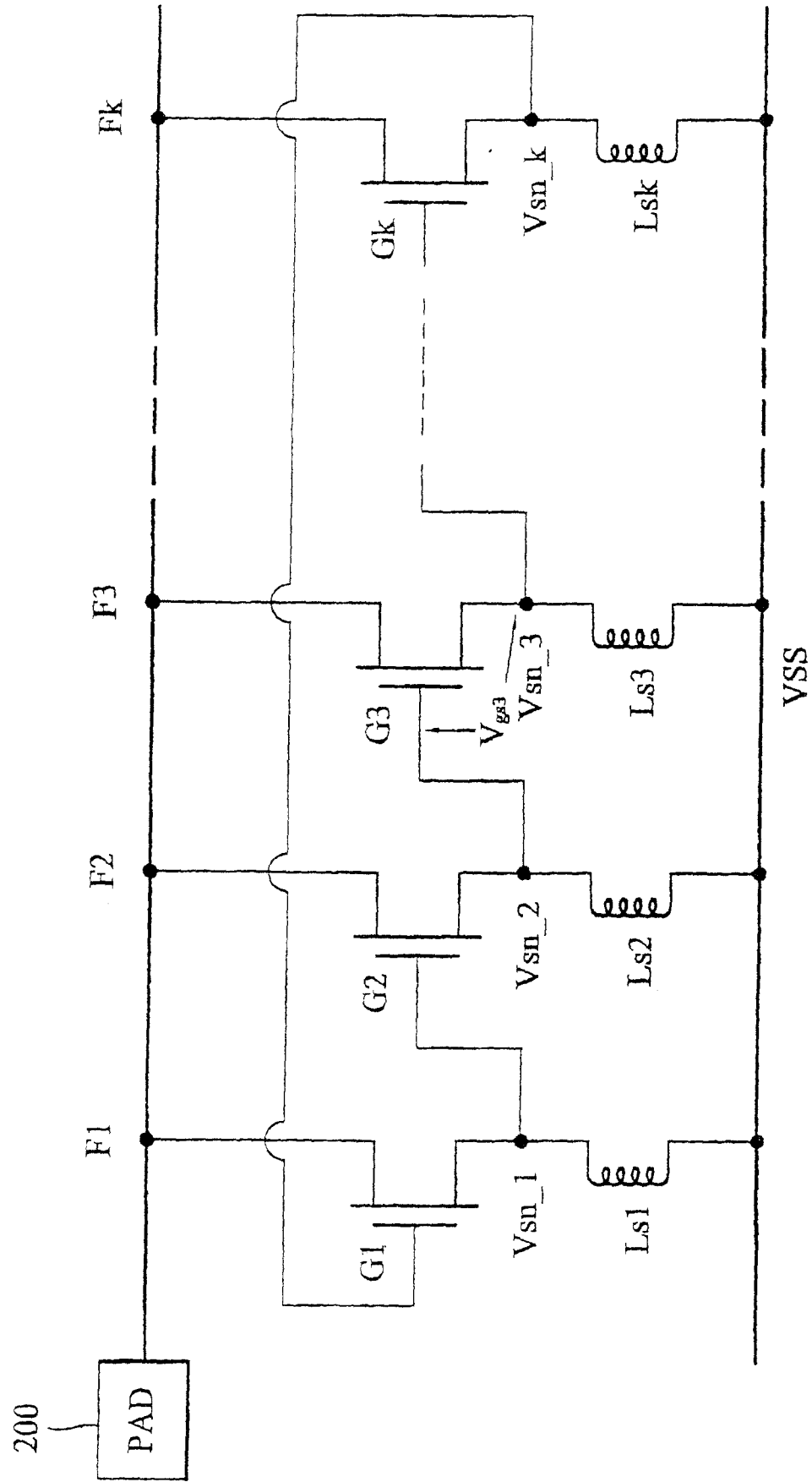


图7

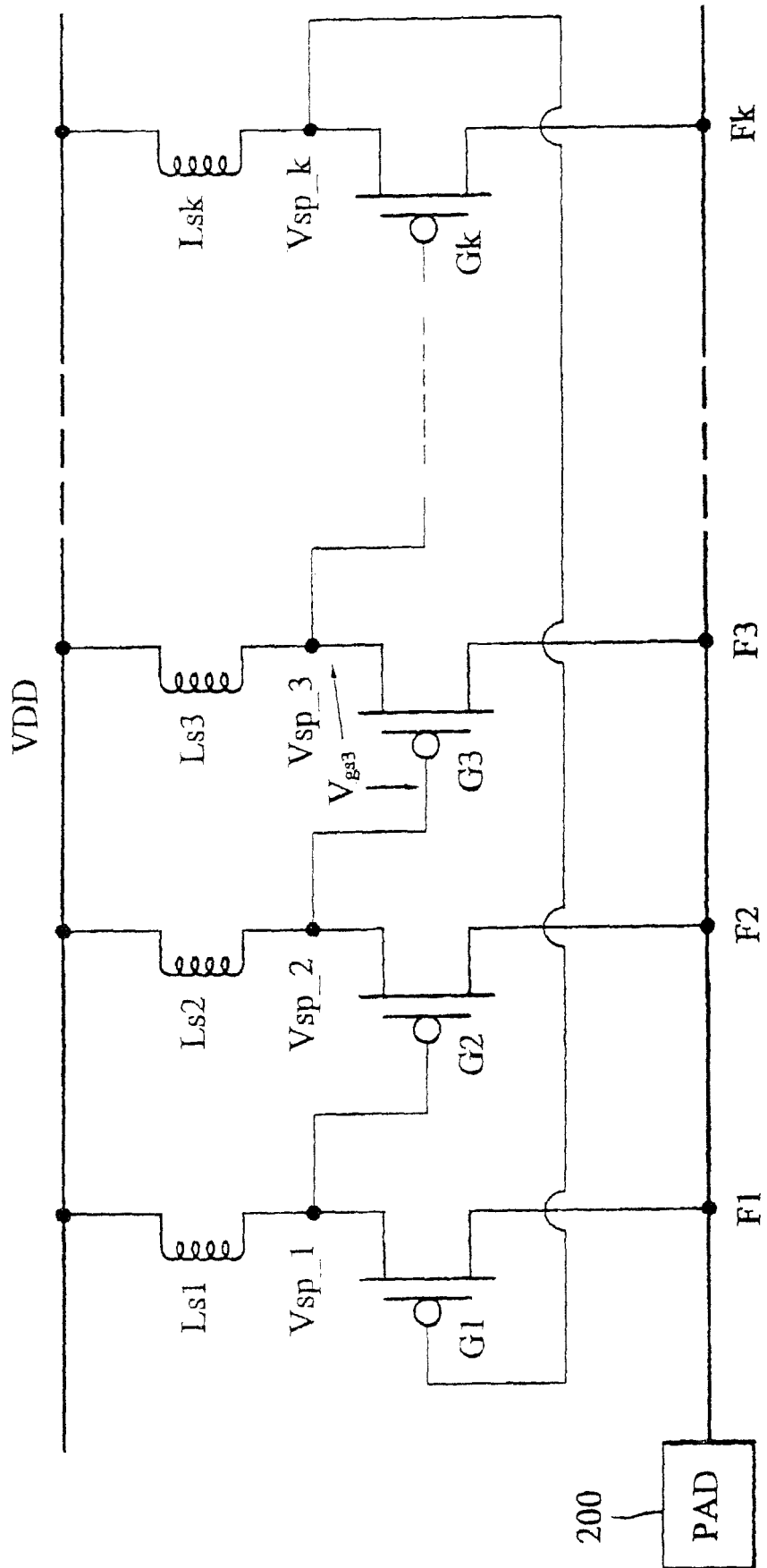


图 8

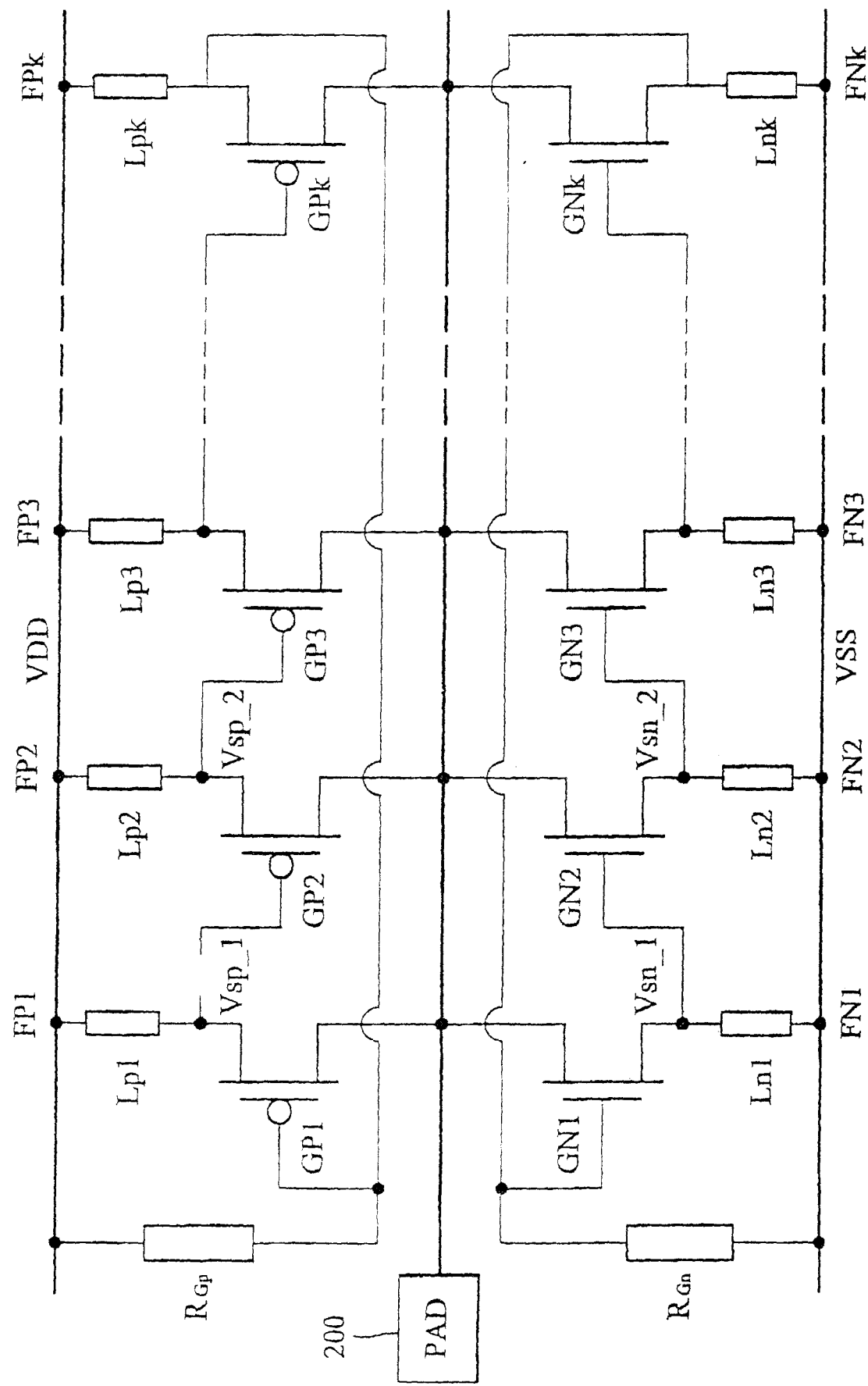


图9



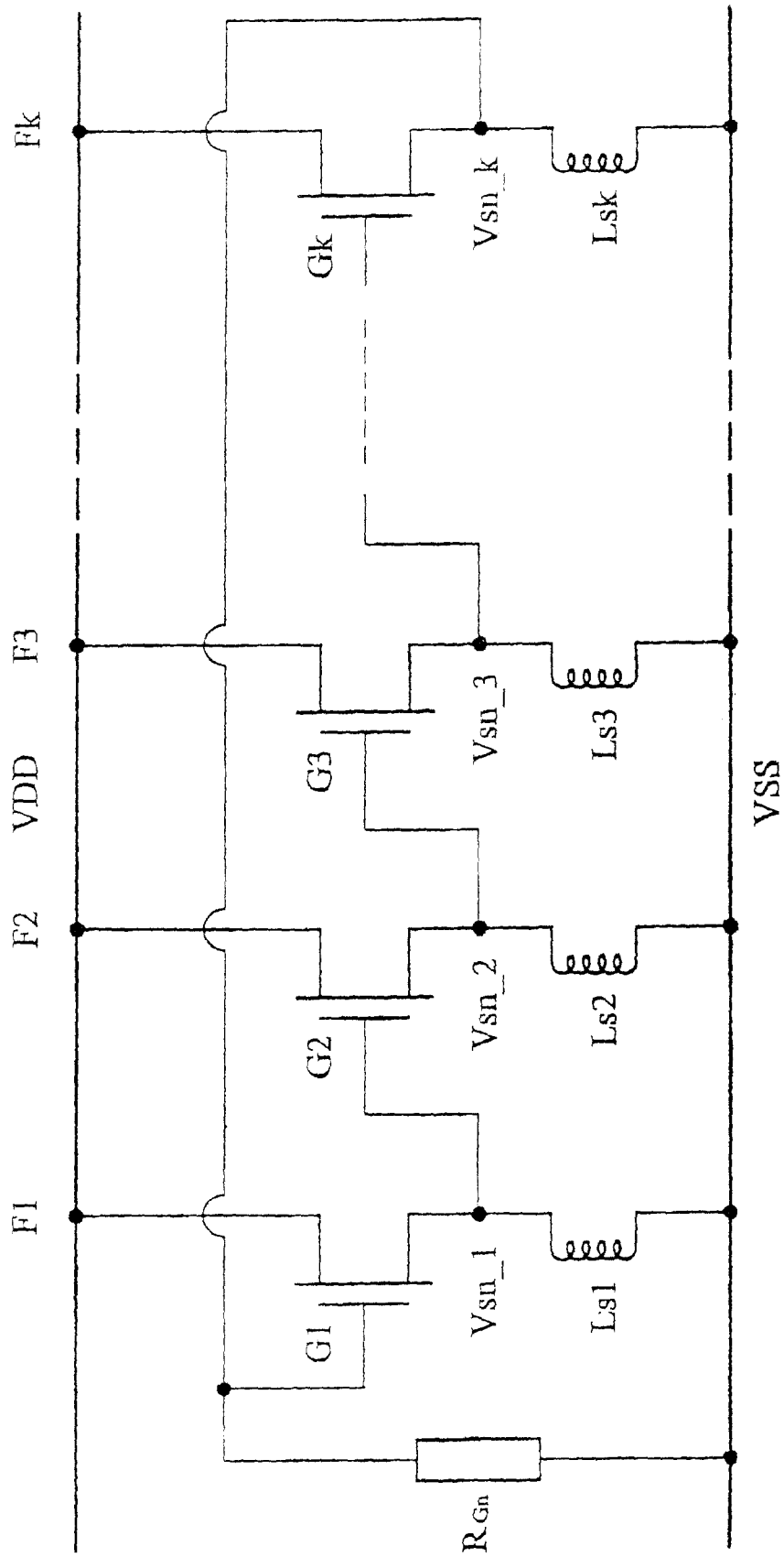


图10

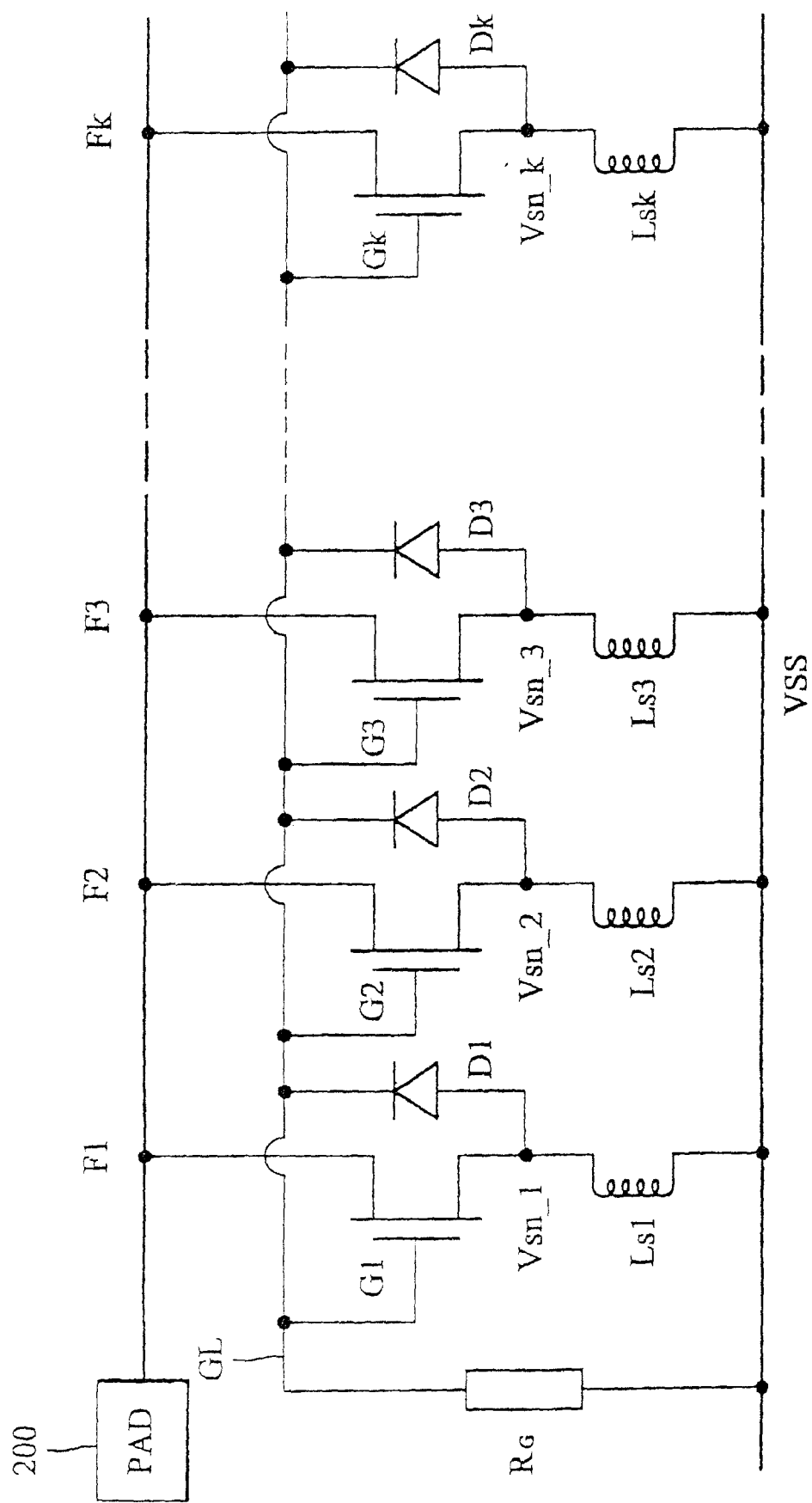


图 11

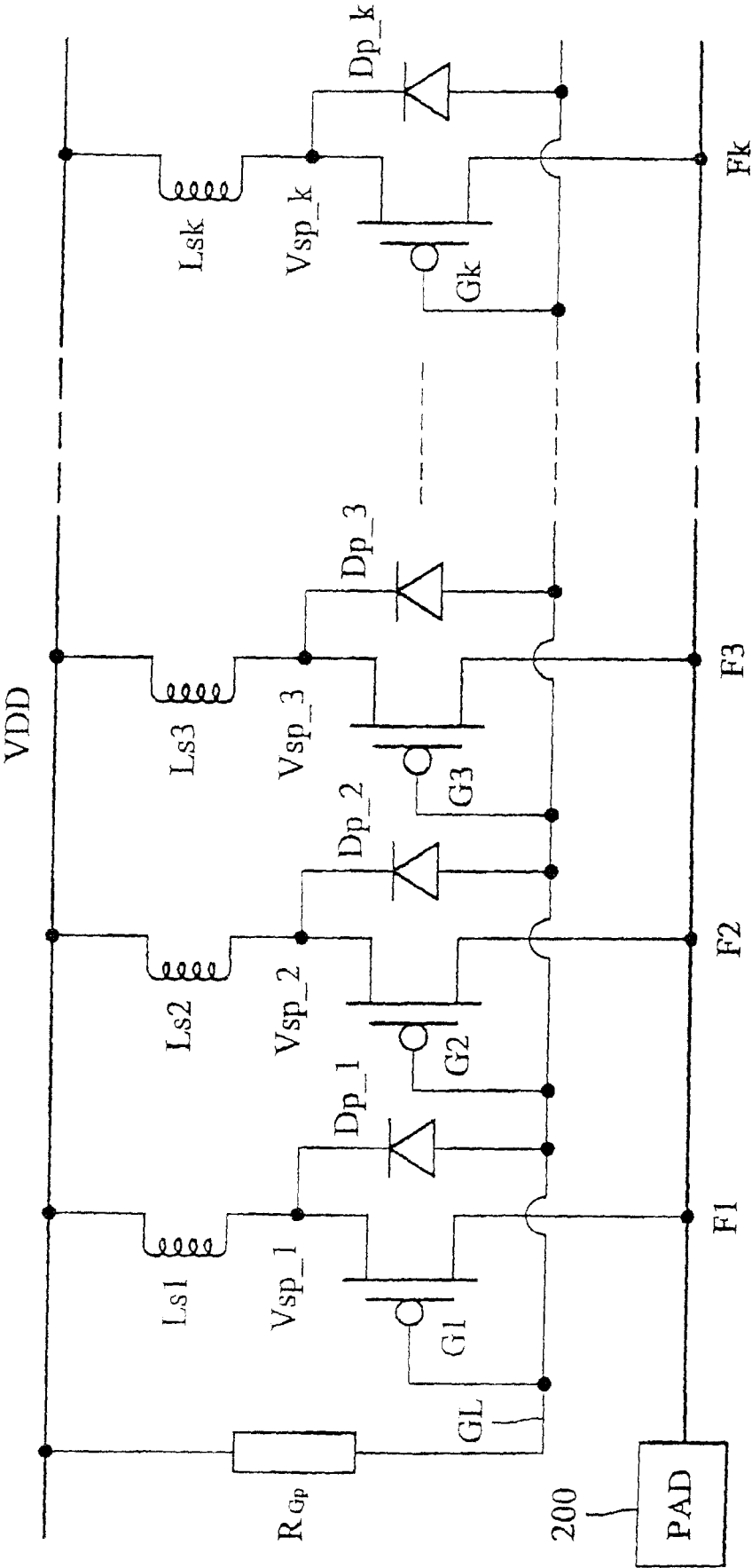


图12

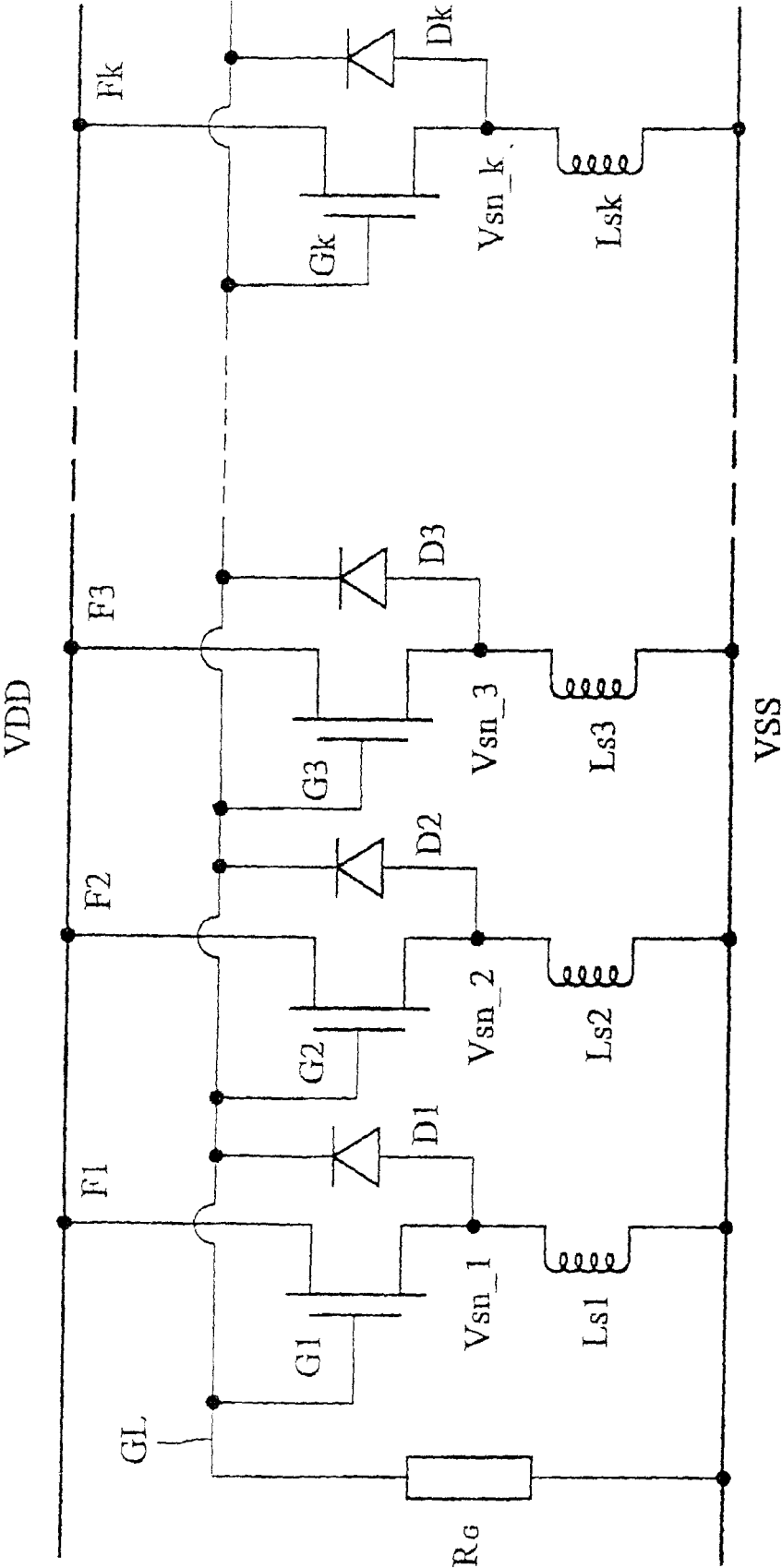


图13

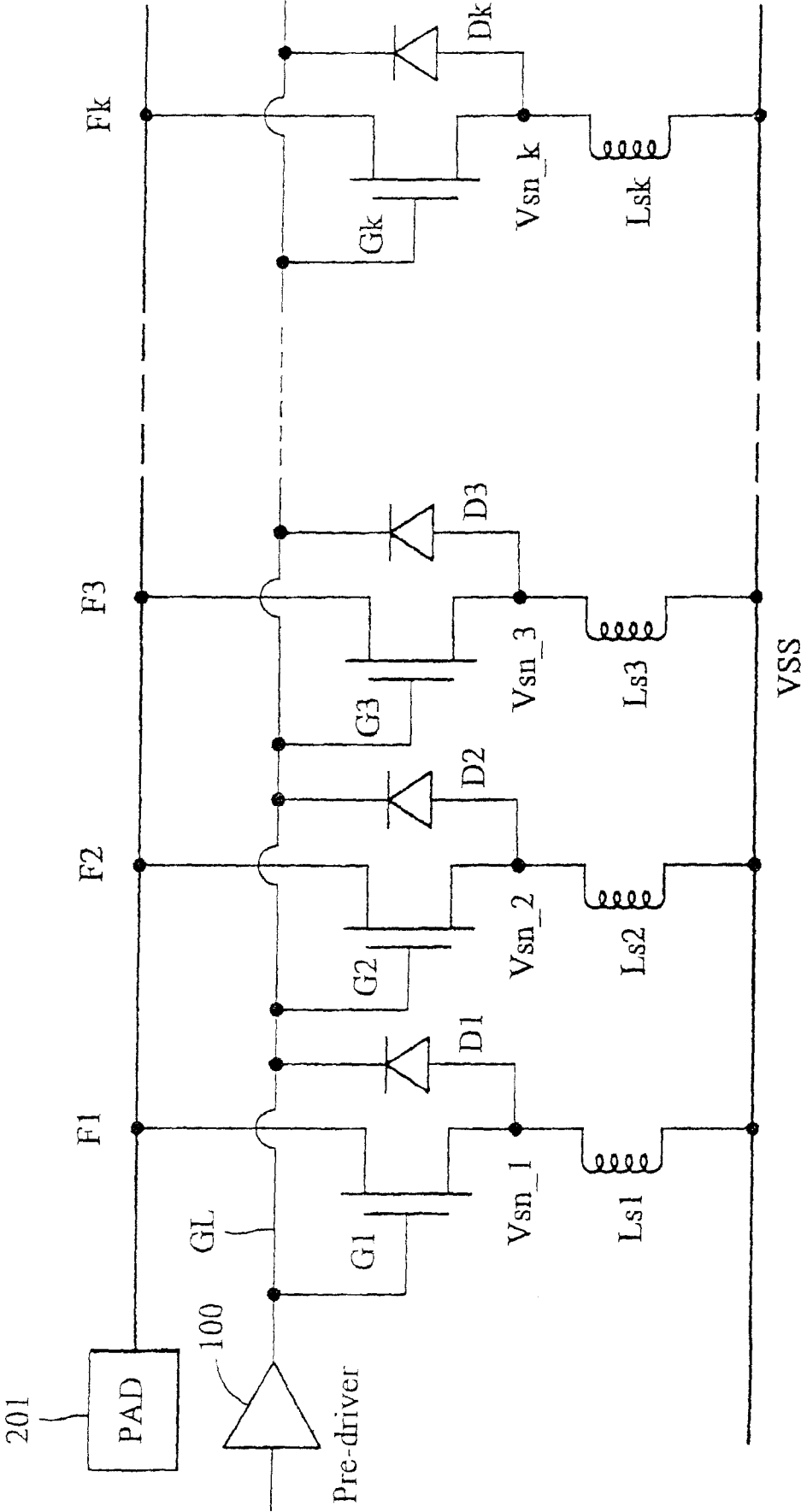


图14

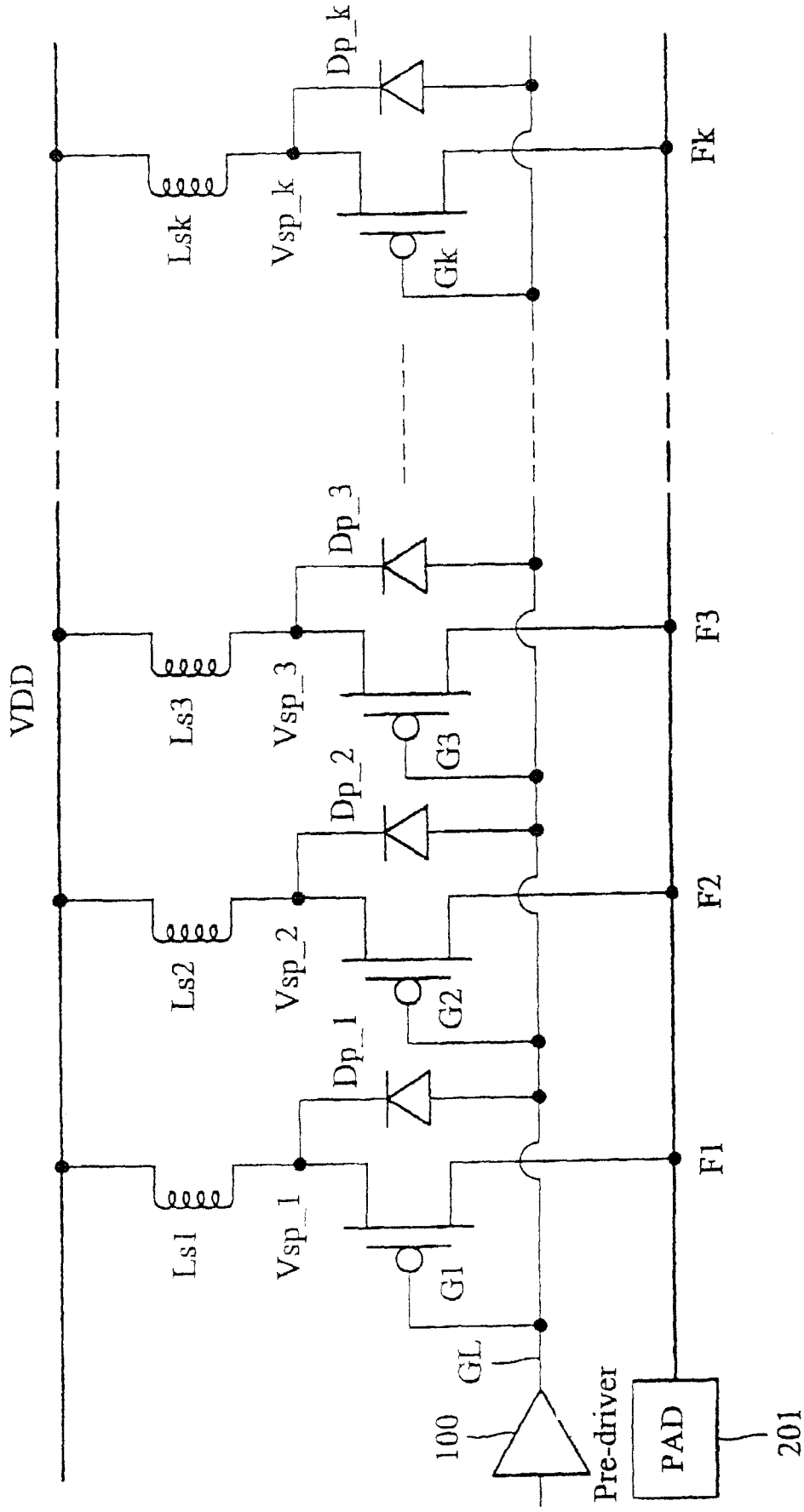


图15

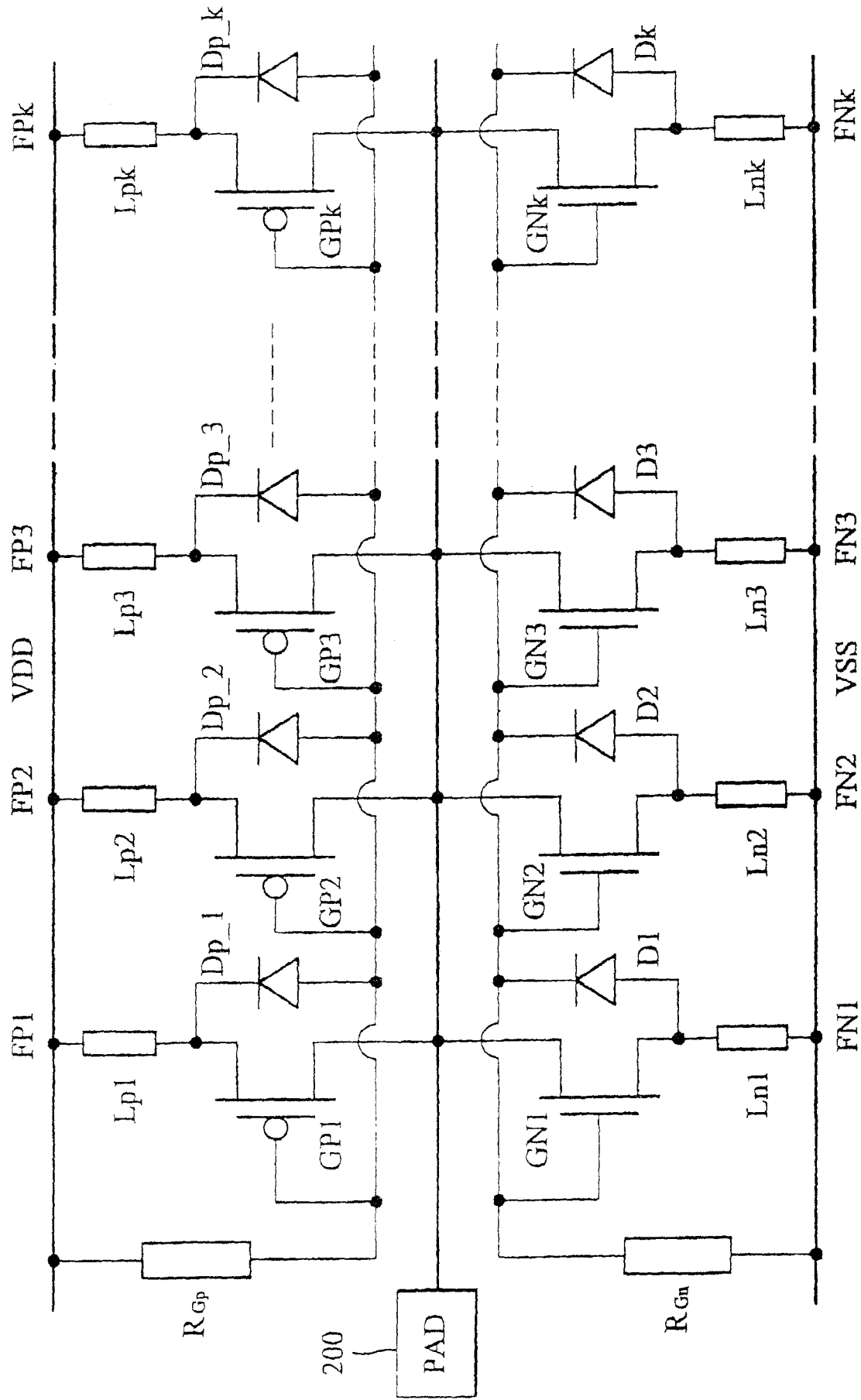


图16

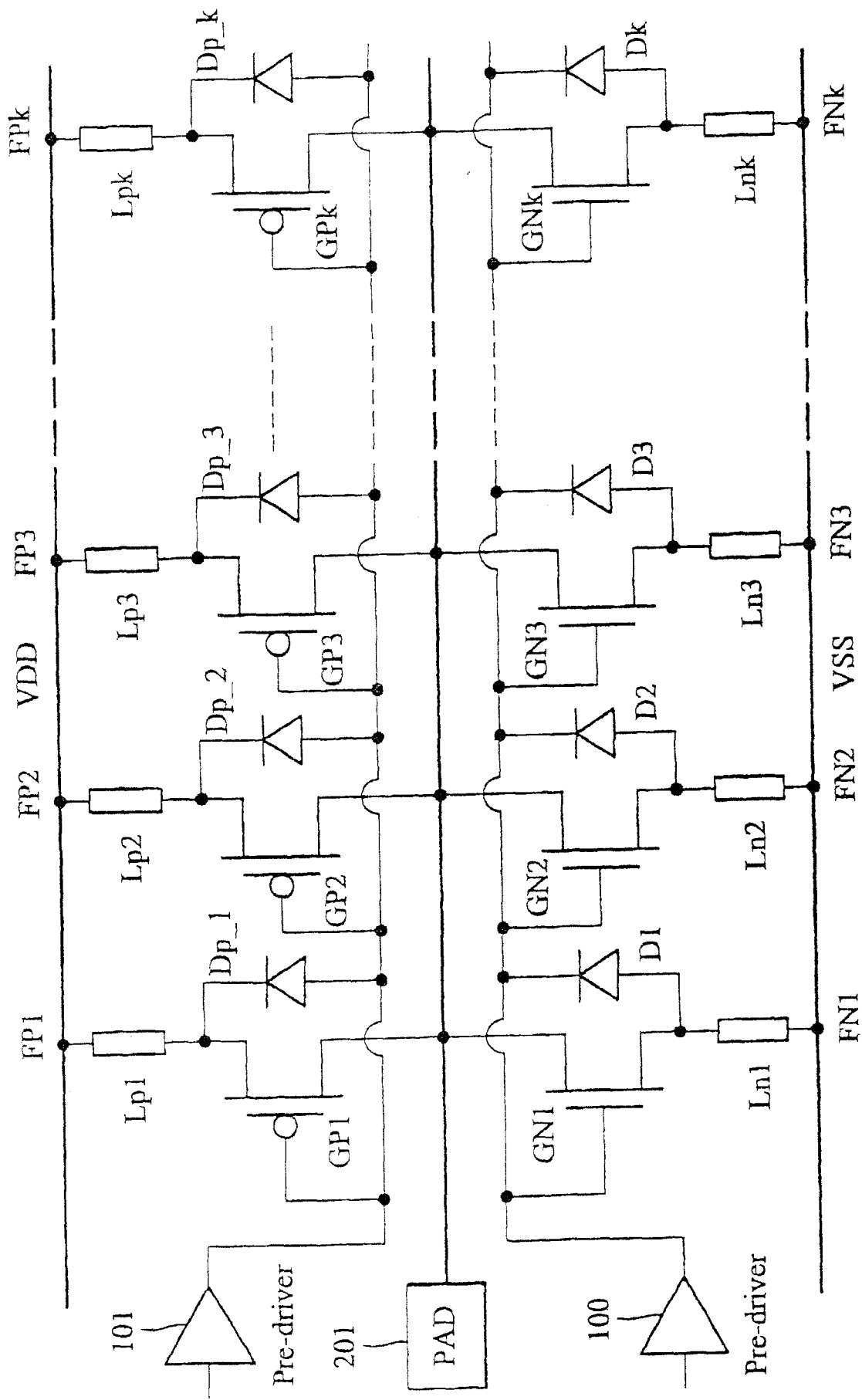
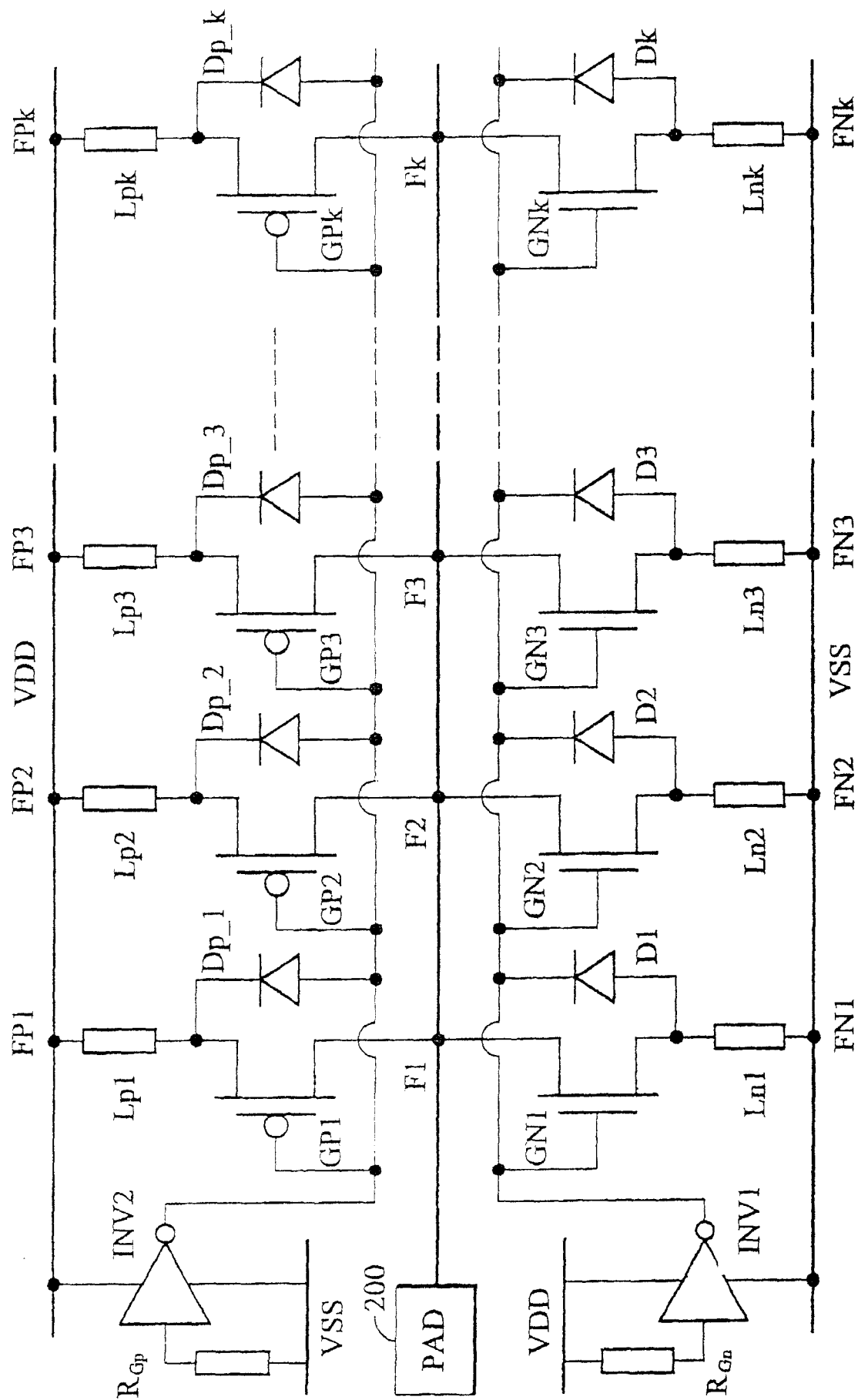
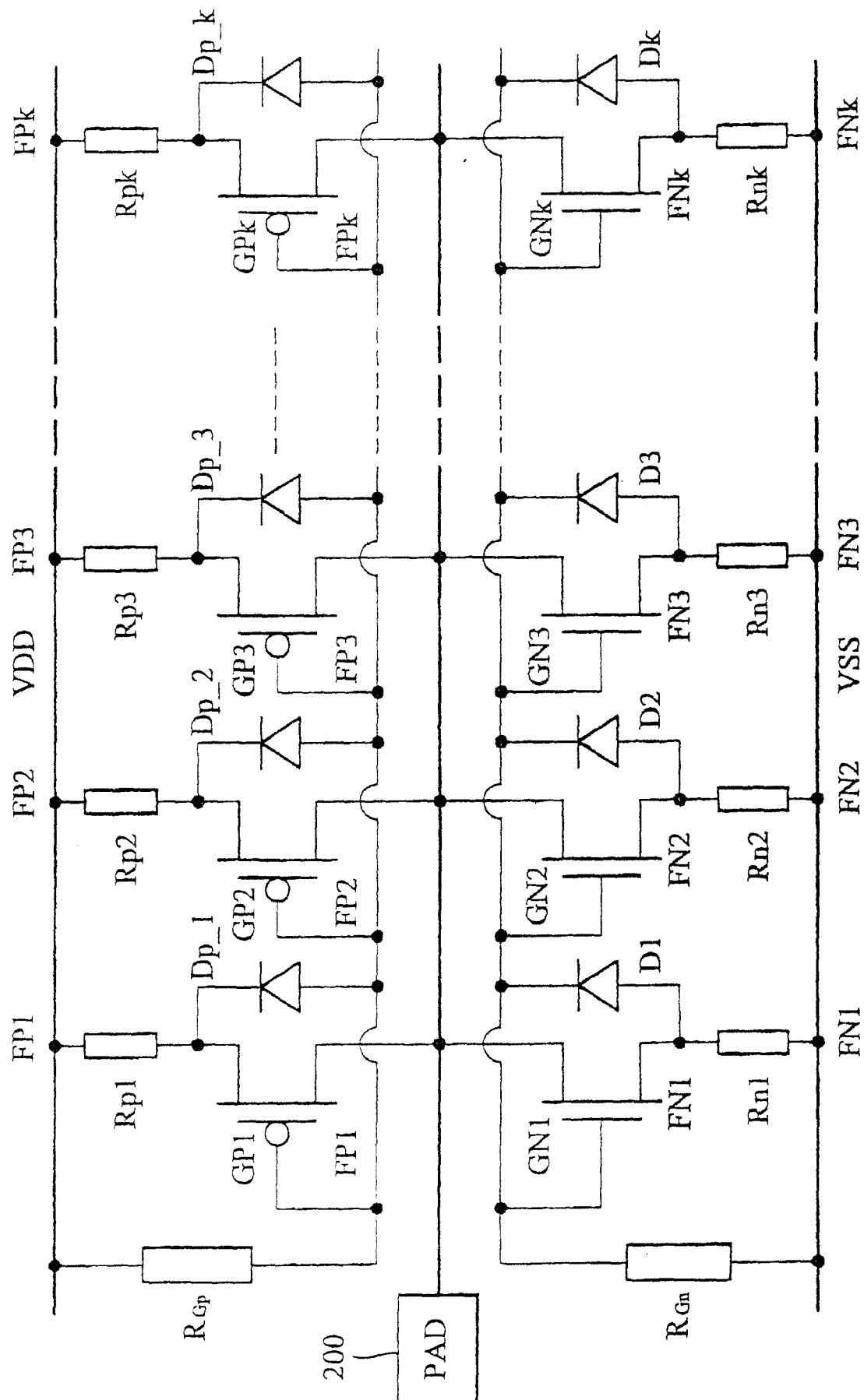


图 17





81



19

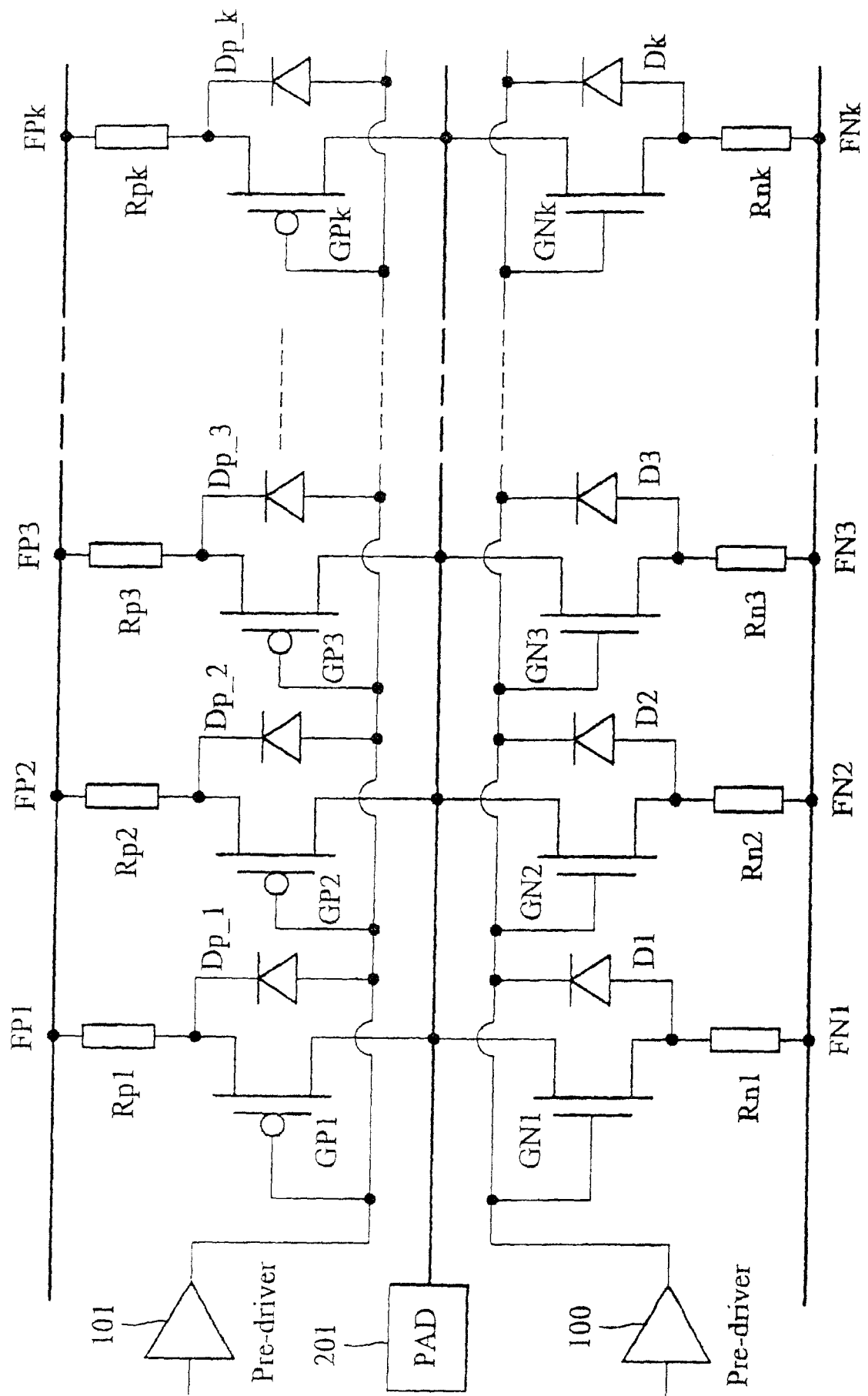


图 20

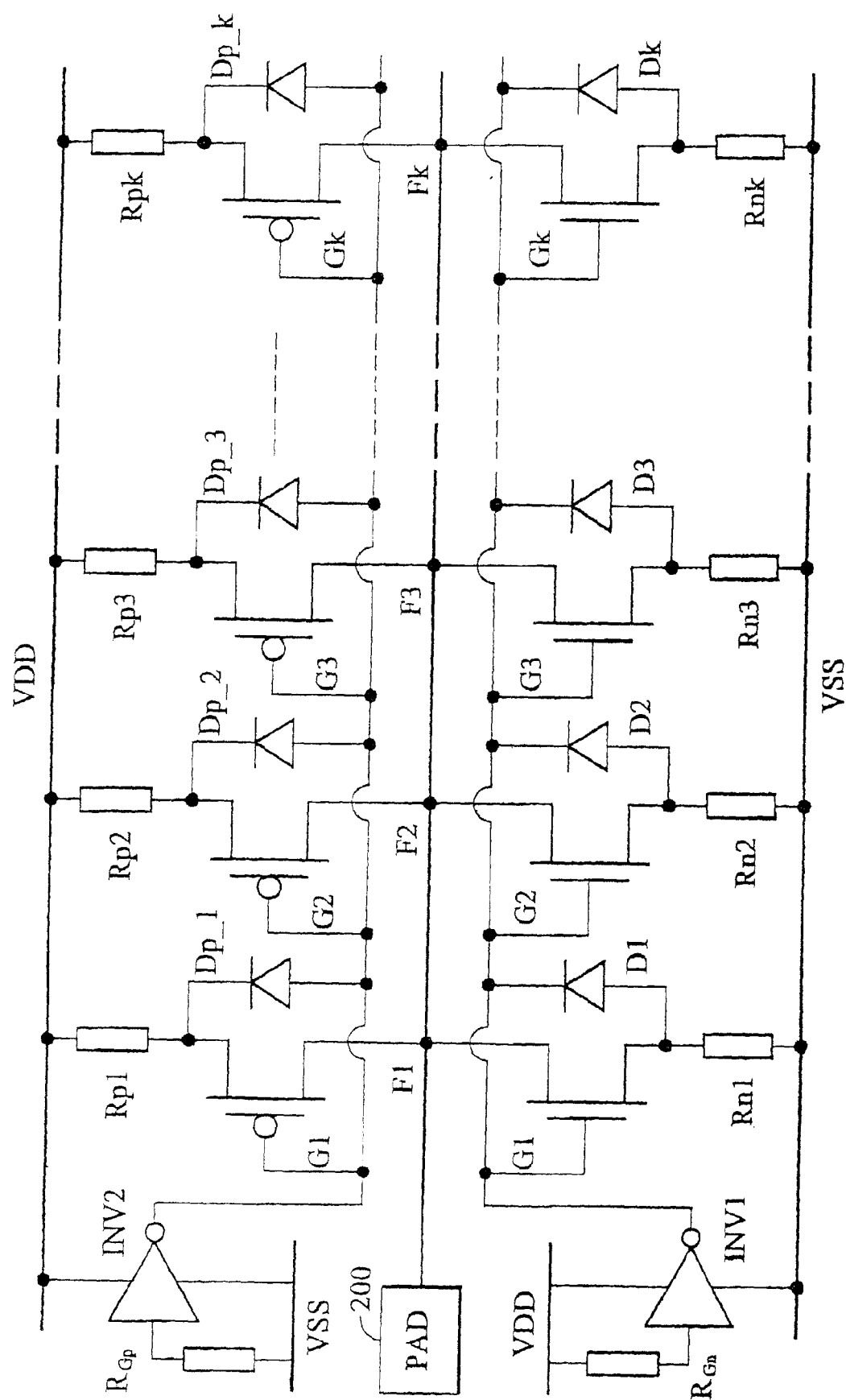


图 21